

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(12)

РЕСПУБЛИКА БЕЛАРУСЬ



НАЦИОНАЛЬНЫЙ ЦЕНТР
ИНТЕЛЛЕКТУАЛЬНОЙ
СОБСТВЕННОСТИ

(19) **ВУ** (11) **14479**

(13) **С1**

(46) **2011.06.30**

(51) МПК

G 06F 7/38 (2006.01)

(54) **ВЫЧИСЛИТЕЛЬНОЕ УСТРОЙСТВО ПО МОДУЛЮ ТРИ**

(21) Номер заявки: а 20090938

(22) 2009.06.25

(43) 2009.12.30

(71) Заявитель: Белорусский государственный университет (ВУ)

(72) Авторы: Седун Андрей Максимович; Городецкий Данила Андреевич (ВУ)

(73) Патентообладатель: Белорусский государственный университет (ВУ)

(56) SU 1827671 A1, 1993.

ВУ 5093 С1, 2003.

ВУ 7000 С1, 2005.

ВУ а20071526, 2008.

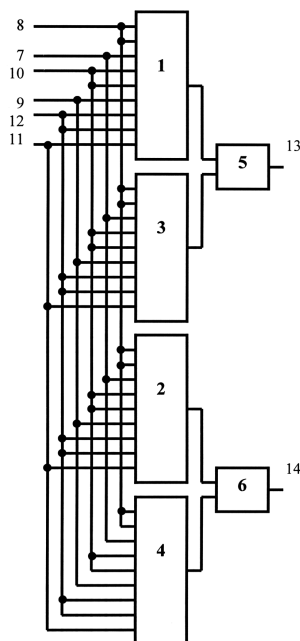
ВУ а20071532, 2008.

RU 2090924 С1, 1997.

SU 1800453 A1, 1993.

(57)

Вычислительное устройство по модулю три, содержащее элемент ИСКЛЮЧАЮЩЕЕ ИЛИ, отличающееся тем, что оно дополнительно содержит элемент ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом четыре, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять и два элемента ИЛИ, первый вход i -го, где $i = 1, 2$, элемента из которых соединен с выходом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом i , второй вход - с выходом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом $(i + 3)$, а выход - с выходом i -го разряда устройства, вход устройства первого разряда первого операнда соединен с первыми входами элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом четыре и элемента



ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, вход устройства второго разряда первого операнда соединен со вторыми и третьими входами элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом четыре и элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, вход устройства первого разряда второго операнда соединен с четвертыми входами элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом четыре и элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, вход устройства второго разряда второго операнда соединен с пятыми и шестыми входами элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом четыре и элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, вход устройства первого разряда третьего операнда соединен с седьмыми входами элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом четыре и элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, вход устройства второго разряда третьего операнда соединен с восьмыми и девятыми входами элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом четыре и элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять.

Изобретение относится к области вычислительной техники, автоматики и микроэлектроники и может быть использовано для построения систем передачи, переработки дискретной информации, построения систем аппаратного контроля, а также вычислительных устройств, реализующих алгоритмы модулярной арифметики.

Известно устройство для сложения по модулю три, содержащее два пороговых элемента, два элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, два элемента И, два элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, шесть входов и два выхода [1].

Недостатком известного устройства для сложения по модулю три является низкое быстродействие, равное 3τ , где τ - усредненная задержка на один логический элемент.

Наиболее близким по конструкции и функциональным возможностям техническим решением к предлагаемому является устройство для сложения по модулю три, содержащее три мажоритарных элемента с порогом два, два элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, два элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, шесть входов и два выхода [2]. Быстродействие, определяемое глубиной схемы, составляет 3τ .

Недостатками известного устройства для сложения по модулю три являются низкое быстродействие и ограниченные функциональные возможности, так как оно не реализует $\pm A \pm B \pm C = S \pmod{3}$.

Изобретение направлено на решение технической задачи повышения быстродействия устройства для сложения по модулю три и расширения его функциональных возможностей за счет возможности реализаций $\pm A \pm B \pm C = S \pmod{3}$.

Вычислительное устройство по модулю три содержит элемент ИСКЛЮЧАЮЩЕЕ ИЛИ.

В отличие от прототипа, устройство содержит элемент ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом четыре, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять и два элемента ИЛИ.

Первый вход i -го, где $i = 1, 2$, элемента ИЛИ соединен с выходом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом i . Второй вход i -го элемента ИЛИ соединен с выходом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом $(i + 3)$.

Выход i -го элемента ИЛИ соединен с выходом устройства i -го разряда результата.

Вход устройства первого разряда первого операнда соединен с первыми входами элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, эле-

мента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом четыре и элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять. Вход устройства второго разряда первого операнда соединен со вторыми и третьими входами элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом четыре и элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять.

Вход устройства первого разряда второго операнда соединен с четвертыми входами элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом четыре и элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять.

Вход устройства второго разряда второго операнда соединен с пятыми и шестыми входами элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом четыре и элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять.

Вход устройства первого разряда третьего операнда соединен с седьмыми входами элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом четыре и элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять.

Вход устройства второго разряда третьего операнда соединен с восьмыми и девятыми входами элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом четыре и элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять.

Основной технический результат изобретения заключается в повышении быстродействия устройства для сложения по модулю три и расширении его функциональных возможностей. Названный эффект достигается путем введения в схему устройства дополнительных элементов ИСКЛЮЧАЮЩЕЕ ИЛИ (с порогом два, с порогом четыре и с порогом пять).

На фигуре представлена схема заявляемого вычислительного устройства по модулю три.

Вычислительное устройство по модулю три содержит элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 1, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два 2, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом четыре 3, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять 4, два элемента ИЛИ 5 и 6, шесть входов 7...12 и два выхода 13 и 14.

Операнды A , B и C задаются двухразрядными двоичными кодами $A = (a_1, a_2)$, $B = (b_1, b_2)$ и $C = (c_1, c_2)$, где a_1, b_1, c_1 - младшие разряды операндов, а a_2, b_2, c_2 - старшие разряды операндов, то есть $A = 2a_2 + a_1$, $B = 2b_2 + b_1$ и $C = 2c_2 + c_1$.

В соответствии с выбранным модулем $P = 3$ операнды могут принимать значения 0 (00), 1 (01), 2 (10). Результат выполнения операций $\pm A \pm B \pm C = S \pmod{3}$ задается двухразрядным двоичным кодом $S = (s_1, s_2)$, где $S = 2s_2 + s_1$, а виды выполняемых операций определяются соответствующей коммутацией старших и младших разрядов операндов на входах устройства.

Поясним работу устройства. На входы 7 и 8 устройства подаются значения переменных x_1 и x_2 соответственно, где $x_1, x_2 \in \{a_1, a_2\}$, причем $x_1 = a_1$ и $x_2 = a_2$, если операнд A представлен со знаком "плюс", и $x_1 = a_2$ и $x_2 = a_1$, если операнд A представлен со знаком "минус"; на входы 9 и 10 устройства подаются значения переменных y_1 и y_2 соответственно, где $y_1, y_2 \in \{b_1, b_2\}$, причем $y_1 = b_1$ и $y_2 = b_2$, если операнд B представлен со знаком "плюс", и $y_1 = b_2$ и $y_2 = b_1$, если операнд B представлен со знаком "минус"; на входы 11 и 12 устройства подаются значения переменных z_1 и z_2 соответственно, где $z_1, z_2 \in \{c_1, c_2\}$, причем $z_1 = c_1$ и $z_2 = c_2$, если операнд C представлен со знаком "плюс", и $z_1 = c_2$ и $z_2 = c_1$, если операнд C представлен со знаком "минус". На выходе 13 вычислительного устройства реализуется младший разряд s_1 , на выходе 14 - старший разряд s_2 результата выполнения операций $\pm A \pm B \pm C = S \pmod{3}$.

ВУ 14479 С1 2011.06.30

Логическая схема вычислительного устройства по модулю три представлена на фигуре и синтезирована по следующим аналитическим представлениям функций S_1 и S_2 :

$$s_1 = g_1 \vee g_2 \text{ и } s_2 = h_1 \vee h_2, \text{ где}$$
$$g_1 = \begin{cases} 1, \text{ если } 2x_2 + x_1 + 2y_2 + y_1 + 2z_2 + z_1 = 1; \\ 0 - \text{ в противном случае,} \end{cases}$$
$$g_2 = \begin{cases} 1, \text{ если } 2x_2 + x_1 + 2y_2 + y_1 + 2z_2 + z_1 = 4; \\ 0 - \text{ в противном случае,} \end{cases}$$
$$h_1 = \begin{cases} 1, \text{ если } 2x_2 + x_1 + 2y_2 + y_1 + 2z_2 + z_1 = 2; \\ 0 - \text{ в противном случае,} \end{cases}$$
$$h_2 = \begin{cases} 1, \text{ если } 2x_2 + x_1 + 2y_2 + y_1 + 2z_2 + z_1 = 5; \\ 0 - \text{ в противном случае.} \end{cases}$$

Таблица истинности (таблица) логических функций s_1 и s_2 поясняет работу устройства для восьми возможных типов выполняемых операций предлагаемого устройства.

Основным достоинством вычислительного устройства по модулю три является высокое быстродействие, определяемое глубиной схемы, равное 2τ , где τ - усредненная задержка на один логический элемент, и широкие функциональные возможности. Конструктивная сложность устройства (по числу входов логических элементов) равна 40. Число внешних выводов - 8.

Входы						Выходы															
Двоичный код первого операнда $A(a_2, a_1)$		Двоичный код второго операнда $B(b_2, b_1)$		Двоичный код третьего операнда $C(c_2, c_1)$		Двоичный код $S(s_2, s_1)$ результата операции $A + B + C$		Двоичный код $S(s_2, s_1)$ результата операции $A + B - C$		Двоичный код $S(s_2, s_1)$ результата операции $A - B + C$		Двоичный код $S(s_2, s_1)$ результата операции $A - B - C$		Двоичный код $S(s_2, s_1)$ результата операции $-A + B + C$		Двоичный код $S(s_2, s_1)$ результата операции $-A + B - C$		Двоичный код $S(s_2, s_1)$ результата операции $-A - B + C$		Двоичный код $S(s_2, s_1)$ результата операции $-A - B - C$	
a_2/a_1	a_1/a_2	b_2/b_1	b_1/b_2	c_2/c_1	c_1/c_2	s_2	s_1	s_2	s_1	s_2	s_1	s_2	s_1	s_2	s_1	s_2	s_1	s_2	s_1	s_2	s_1
7	8	9	10	11	12	14	13	14	13	14	13	14	13	14	13	14	13	14	13	14	13
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	1	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0
0	0	0	0	1	0	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1
0	0	0	1	0	0	0	1	0	1	1	0	1	0	0	1	0	1	1	0	1	0
0	0	0	1	0	1	1	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1
0	0	0	1	1	0	0	0	1	0	0	1	0	0	0	0	1	0	0	1	0	0
0	0	1	0	0	0	1	0	1	0	1	0	0	1	1	0	1	0	0	1	0	1
0	0	1	0	0	1	0	0	0	1	0	1	0	0	0	0	0	1	1	0	0	0
0	0	1	0	1	0	0	1	0	0	0	0	1	0	0	1	0	0	0	0	1	0
0	1	0	0	0	0	0	1	0	1	0	1	0	1	1	0	1	0	1	0	1	0
0	1	0	0	0	1	1	0	0	0	1	0	0	0	0	0	0	1	0	1	0	1
0	1	0	0	1	0	0	0	1	0	0	0	1	0	0	1	0	0	0	0	0	0
0	1	0	1	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	1	0	1
0	1	0	1	0	1	0	0	0	1	0	1	1	0	0	1	1	0	1	0	0	0
0	1	0	1	1	0	0	1	0	0	1	0	0	1	1	0	0	1	0	0	1	0
0	1	1	0	0	0	0	0	0	0	1	0	1	0	0	1	0	1	0	0	0	0
0	1	1	0	0	1	0	1	1	0	0	0	0	1	1	0	0	0	0	1	1	0
0	1	1	0	1	0	1	0	0	1	0	1	0	0	0	0	1	0	1	0	0	1
1	0	0	0	0	0	1	0	1	0	1	0	1	0	0	1	0	1	0	1	0	1
1	0	0	0	0	1	0	0	0	1	0	0	0	1	1	0	0	0	1	0	0	0
1	0	0	0	1	0	0	1	0	0	0	1	0	0	0	0	1	0	0	0	1	0
1	0	0	1	0	0	0	0	0	0	0	1	0	1	1	0	1	0	0	0	0	0
1	0	0	1	0	1	0	1	1	0	1	0	0	0	0	0	0	1	0	1	1	0
1	0	0	1	1	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1
1	0	1	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	1	0	1	0
1	0	1	0	0	1	1	0	0	0	0	1	1	0	0	1	1	0	0	0	0	1
1	0	1	0	1	0	0	0	1	0	1	0	0	1	1	0	0	1	0	1	0	0

BY 14479 C1 2011.06.30

Источники информации:

1. Патент РБ 3705, МПК G 06F 7/49, 2000.
2. А.с. СССР 1827671, МПК G 06F 7/49, 1993, (прототип).

Национальный центр интеллектуальной собственности.

220034, г. Минск, ул. Козлова, 20.

БДЭУ Беларускі дзяржаўны эканамічны ўніверсітэт. Бібліятэка.
БГЭУ Белорусский государственный экономический университет. Библиотека.

BSEU Belarus State Economic University. Library.

<http://www.bseu.by>

elib@bseu.by