

**ОПИСАНИЕ
ИЗОБРЕТЕНИЯ
К ПАТЕНТУ**

(12)

РЕСПУБЛИКА БЕЛАРУСЬ



НАЦИОНАЛЬНЫЙ ЦЕНТР
ИНТЕЛЛЕКТУАЛЬНОЙ
СОБСТВЕННОСТИ

(19) **ВУ** (11) **13493**

(13) **С1**

(46) **2010.08.30**

(51) МПК (2009)

G 06F 7/38

(54) **УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ УНИТАРНЫХ КОДОВ
ПО МОДУЛЮ ПЯТЬ**

(21) Номер заявки: а 20081463

(22) 2008.11.19

(43) 2009.06.30

(71) Заявитель: Белорусский государственный университет (ВУ)

(72) Авторы: Городецкий Данила Андреевич; Седун Андрей Максимович; Супрун Валерий Павлович (ВУ)

(73) Патентообладатель: Белорусский государственный университет (ВУ)

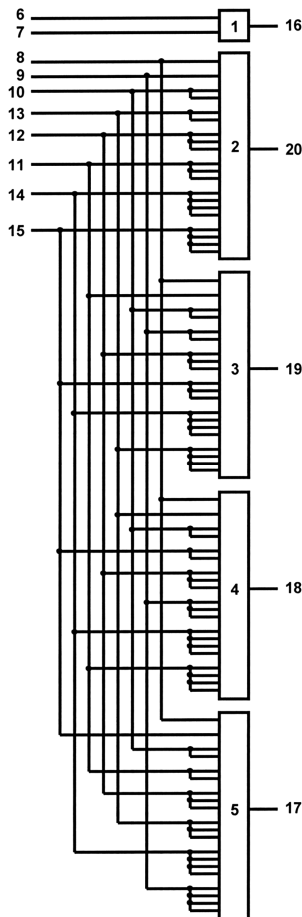
(56) ВУ 10531 С1, 2008.

ВУ 10652 С1, 2008.

SU 1644131 А1, 1991.

(57)

Устройство для умножения унитарных кодов по модулю пять, содержащее элемент ИЛИ, i -й, где $i = 1, 2$, вход которого соединен со входом устройства "равно нулю" i -го операнда, а выход - с выходом устройства "равно нулю", отличающееся тем, что содержит



ВУ 13493 С1 2010.08.30

четыре элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, первый вход j -го, где $j = 1, 2, 3, 4$, элемента из которых соединен со входом устройства "равно единице" первого операнда, вход устройства "равно двум" которого соединен со вторым и третьим входами j -го элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, четвертый, пятый и шестой входы которого соединены со входом устройства "равно трем" первого операнда, вход устройства "равно четырем" которого соединен с седьмым, восьмым, девятым и десятым входами j -го элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, одиннадцатый вход первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять соединен с одиннадцатым и двенадцатым входами второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, с одиннадцатым, двенадцатым и тринадцатым входами третьего элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, с одиннадцатым, двенадцатым, тринадцатым и четырнадцатым входами четвертого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять и со входом устройства "равно единице" второго операнда, вход устройства "равно двум" которого соединен с двенадцатым, тринадцатым и четырнадцатым входами первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, с тринадцатым входом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, с четырнадцатым, пятнадцатым, шестнадцатым и семнадцатым входами третьего элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять и с пятнадцатым и шестнадцатым входами четвертого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, семнадцатый, восемнадцатый и девятнадцатый входы которого соединены с восемнадцатым входом третьего элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, с четырнадцатым, пятнадцатым, шестнадцатым и семнадцатым входами второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, с пятнадцатым и шестнадцатым входами первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять и со входом устройства "равно трем" второго операнда, вход устройства "равно четырем" которого соединен с семнадцатым, восемнадцатым, девятнадцатым и двадцатым входами первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, с восемнадцатым, девятнадцатым и двадцатым входами второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, с девятнадцатым и двадцатым входами третьего элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять и с двадцатым входом четвертого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, выход устройства "равно j " соединен с выходом j -го элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять.

Изобретение относится к области вычислительной техники и микроэлектроники и может быть использовано для построения средств аппаратного контроля и цифровых устройств, работающих в системе остаточных классов.

Известно устройство для умножения по модулю пять, которое содержит семь элементов РАВНОЗНАЧНОСТЬ, два элемента ИЛИ, элемент СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, шесть входов и три выхода [1]. Недостатком известного устройства являются низкие функциональные возможности, поскольку устройство не предназначено для выполнения операции умножения унитарных кодов по модулю пять. Кроме того, устройство имеет низкое быстродействие, которое составляет 2τ , где τ - задержка на логический элемент.

Наиболее близким по функциональным возможностям и конструкции техническим решением к предлагаемому устройству является устройство для умножения унитарных кодов по модулю пять, которое содержит шестнадцать элементов И, пять элементов ИЛИ, десять входов и пять выходов [2]. Быстродействие устройства составляет 2τ ; число внешних выводов равно 15; конструктивная сложность, определяемая суммой входов логических элементов, равна 50.

Основным недостатком известного устройства является низкое быстродействие. Как и изобретение, устройство-прототип содержит элемент ИЛИ.

Изобретение направлено на решение технической задачи - повышение быстродействия устройства для умножения унитарных кодов по модулю пять.

Устройство для умножения унитарных кодов по модулю пять содержит элемент ИЛИ, i -й, где $i = 1, 2$, вход которого соединен с входом устройства "равно нулю" i -го операнда, а выход - с выходом устройства "равно нулю".

В отличие от прототипа устройство содержит четыре элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, первый вход j -го, где $j = 1, 2, 3, 4$, элемента из которых соединен с входом устройства "равно единице" первого операнда.

Вход устройства "равно двум" первого операнда соединен со вторым и третьим входами j -го элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, четвертый, пятый и шестой входы которого соединены с входом устройства "равно трем" первого операнда, вход устройства "равно четырем" первого операнда соединен с седьмым, восьмым, девятым и десятым входами j -го элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять.

Одиннадцатый вход первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять соединен с одиннадцатым и двенадцатым входами второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, с одиннадцатым, двенадцатым и тринадцатым входами третьего элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, с одиннадцатым, двенадцатым, тринадцатым и четырнадцатым входами четвертого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять и с входом устройства "равно единице" второго операнда.

Вход устройства "равно двум" второго операнда соединен с двенадцатым, тринадцатым и четырнадцатым входами первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, с тринадцатым входом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, с четырнадцатым, пятнадцатым, шестнадцатым и семнадцатым входами третьего элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять и с пятнадцатым и шестнадцатым входами четвертого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять.

Семнадцатый, восемнадцатый и девятнадцатый входы четвертого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять соединены с восемнадцатым входом третьего элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, с четырнадцатым, пятнадцатым, шестнадцатым и семнадцатым входами второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, с пятнадцатым и шестнадцатым входами первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять и с входом устройства "равно трем" второго операнда.

Вход устройства "равно четырем" второго операнда соединен с семнадцатым, восемнадцатым, девятнадцатым и двадцатым входами первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, с восемнадцатым, девятнадцатым и двадцатым входами второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять, с девятнадцатым и двадцатым входами третьего элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять и с двадцатым входом четвертого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять.

Выход устройства "равно j " соединен с выходом $(5-j)$ -го элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять.

Основной технический результат изобретения заключается в повышении быстродействия устройства для умножения унитарных кодов по модулю пять. Названный эффект достигается путем введения в логическую схему устройства четырех элементов ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять.

На чертеже (фигура) представлена схема устройства для умножения унитарных кодов по модулю пять. Устройство содержит элемент ИЛИ 1, четыре элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом пять 2...5, десять входов 6...15 и пять выходов 16...20.

Устройство для умножения унитарных кодов по модулю пять работает следующим образом. На входы 6, 8, 10, 12 и 14 поступают разряды "равно нулю", "равно единице", "равно двум", "равно трем" и "равно четырем" первого операнда $A(a_0, a_1, a_2, a_3, a_4)$, на входы 7, 9, 11, 13 и 15 - разряды "равно нулю", "равно единице", "равно двум", "равно трем" и "равно четырем" второго операнда $B(b_0, b_1, b_2, b_3, b_4)$, где $a_0, a_1, a_2, a_3, a_4, b_0, b_1, b_2, b_3, b_4 \in \{0, 1\}$. При этом $a_k = 1$ ($b_k = 1$) тогда и только тогда, когда $A = k \pmod{5}$ ($B = k \pmod{5}$), где $k = 0, 1, 2, 3, 4$.

ВУ 13493 С1 2010.08.30

На выходах 16, 17, 18, 19 и 20 устройства формируется унитарный двоичный код $P(p_0, p_1, p_2, p_3, p_4)$ результата выполнения операции умножения $A * B = P \pmod{5}$ в унитарных кодах по модулю пять, где $p_0, p_1, p_2, p_3, p_4 \in \{0, 1\}$. При этом $p_k = 1$ тогда и только тогда, когда $A * B = k \pmod{5}$, где $k = 0, 1, 2, 3, 4$.

Работа устройства для умножения унитарных кодов по модулю пять описывается таблицей истинности логических функций P_0, P_1, P_2, P_3, P_4 (таблица).

Логическая схема устройства (фигура) синтезирована на основе применения следующих аналитических представлений логических функций P_0, P_1, P_2, P_3 и P_4 :

$$P_0 = a_0 \vee b_0,$$

$$P_1 = \begin{cases} 1, & \text{если } a_1 + 4b_1 + 2a_2 + 2b_2 + 3a_3 + 3b_3 + 4a_4 + b_4 = 5; \\ 0 & \text{– в противоположном случае,} \end{cases}$$

$$P_2 = \begin{cases} 1, & \text{если } a_1 + 3b_1 + 2a_2 + 4b_2 + 3a_3 + b_3 + 4a_4 + 2b_4 = 5; \\ 0 & \text{– в противоположном случае,} \end{cases}$$

$$P_3 = \begin{cases} 1, & \text{если } a_1 + 2b_1 + 2a_2 + b_2 + 3a_3 + 4b_3 + 4a_4 + b_4 = 5; \\ 0 & \text{– в противоположном случае,} \end{cases}$$

$$P_4 = \begin{cases} 1, & \text{если } a_1 + b_1 + 2a_2 + 3b_2 + 3a_3 + 2b_3 + 4a_4 + 4b_4 = 5; \\ 0 & \text{– в противоположном случае.} \end{cases}$$

Основным достоинством устройства для умножения унитарных кодов по модулю пять является высокое быстродействие, определяемое глубиной схемы и равное τ . Число внешних выводов устройства равно 15, а конструктивная сложность, определяемая суммой входов логических элементов, составляет 82. Быстродействие устройства-прототипа равно 2τ , а число внешних выводов - 15.

Источники информации:

1. Патент РФ 7943, МПК G 06 F 7/49, 7/52, 2006.
2. Патент РФ 10531, МПК G 06 F 7/38, 2008 (прототип).

Устройство для умножения унитарных кодов по модулю пять

Входы										Выходы				
Унитарный код первого операнда $A(a_0, a_1, a_2, a_3, a_4)$					Унитарный код второго операнда $B(b_0, b_1, b_2, b_3, b_4)$					Унитарный код результата произведения $P(p_0, p_1, p_2, p_3, p_4)$				
a_0	a_1	a_2	a_3	a_4	b_0	b_1	b_2	b_3	b_4	p_0	p_1	p_2	p_3	p_4
6	8	10	12	14	7	9	11	13	15	16	17	18	19	20
1	0	0	0	0	1	0	0	0	0	1	0	0	0	0
1	0	0	0	0	0	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	1	0	0	0	0
1	0	0	0	0	0	0	0	1	0	1	0	0	0	0
1	0	0	0	0	0	0	0	0	1	1	0	0	0	0
0	1	0	0	0	1	0	0	0	0	1	0	0	0	0
0	1	0	0	0	0	1	0	0	0	0	1	0	0	0
0	1	0	0	0	0	0	1	0	0	0	0	1	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	1	0
0	1	0	0	0	0	0	0	0	1	0	0	0	0	1
0	0	1	0	0	1	0	0	0	0	1	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	1	0	0

BY 13493 C1 2010.08.30

Продолжение таблицы

Входы										Выходы				
Унитарный код первого опера- ранда $A(a_0, a_1, a_2, a_3, a_4)$					Унитарный код второго опера- ранда $B(b_0, b_1, b_2, b_3, b_4)$					Унитарный код результата произведения $P(p_0, p_1, p_2, p_3, p_4)$				
0	0	1	0	0	0	0	1	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	1	0	0	1	0	0	0
0	0	1	0	0	0	0	0	0	1	0	0	0	1	0
0	0	0	1	0	1	0	0	0	0	1	0	0	0	0
0	0	0	1	0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	1	0	0	0	1	0	0	0
0	0	0	1	0	0	0	0	1	0	0	0	0	0	1
0	0	0	1	0	0	0	0	0	1	0	0	1	0	0
0	0	0	0	1	1	0	0	0	0	1	0	0	0	0
0	0	0	0	1	0	1	0	0	0	0	0	0	0	1
0	0	0	0	1	0	0	1	0	0	0	0	0	1	0
0	0	0	0	1	0	0	0	1	0	0	0	1	0	0
0	0	0	0	1	0	0	0	0	1	0	1	0	0	0
0	0	0	0	1	0	0	0	0	1	0	1	0	0	0

Национальный центр интеллектуальной собственности.

220034, г. Минск, ул. Козлова, 20.

□□□□□□□□□□ □□□□□□□□□□ □□□□□□□□□□ □□□□□□□□□□. □□□□□□□□□□.
□□□□□□□□□□ □□□□□□□□□□ □□□□□□□□□□ □□□□□□□□□□. □□□□□□□□□□.