

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(12)

РЕСПУБЛИКА БЕЛАРУСЬ



НАЦИОНАЛЬНЫЙ ЦЕНТР  
ИНТЕЛЛЕКТУАЛЬНОЙ  
СОБСТВЕННОСТИ

(19) ВУ (11) 13247

(13) С1

(46) 2010.06.30

(51) МПК (2009)

G 06F 7/38

(54)

## СУММАТОР УНИТАРНЫХ КОДОВ ПО МОДУЛЮ ТРИ

(21) Номер заявки: а 20081321

(22) 2008.10.21

(43) 2009.04.30

(71) Заявитель: Белорусский государственный университет (ВУ)

(72) Авторы: Городецкий Данила Андреевич; Седун Андрей Максимович; Супрун Валерий Павлович (ВУ)

(73) Патентообладатель: Белорусский государственный университет (ВУ)

(56) ВУ 2473 С1, 1998.

ВУ 3674 С1, 2000.

ВУ 6479 С1, 2004.

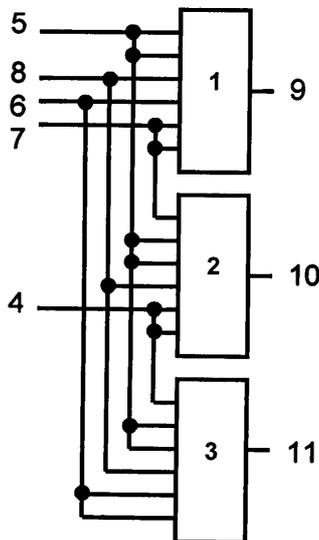
SU 1153324 А, 1985.

SU 1830528 А1, 1993.

SU 1800453 А1, 1993.

(57)

Сумматор унитарных кодов по модулю три, содержащий три элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, отличающийся тем, что первый и второй входы первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два соединены с первым входом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два и с входом "равно двум" первого операнда, вход "равно единице" которого соединен с третьим входом первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два и с первым и вторым входами третьего элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, третий вход которого соединен с входом "равно нулю" первого операнда и со вторым и третьим входами второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, четвертый и пятый входы  $i$ -го ( $i = 1, 2, 3$ ) элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два соединены с входом "равно нулю" второго операнда, вход "равно двум" которого соединен с шестым входом  $i$ -го элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, выход которого соединен с выходом сумматора "равно  $i-1$ ".



ВУ 13247 С1 2010.06.30

Изобретение относится к области вычислительной техники и микроэлектроники и может быть использовано для построения средств аппаратурного контроля и цифровых устройств, работающих в системе остаточных классов.

Известен сумматор унитарных кодов по модулю три, который содержит шесть элементов РАВНОЗНАЧНОСТЬ, три элемента И, шесть входов и три выхода [1]. Сложность сумматора (по числу входов логических элементов) равна 18, а быстродействие, определяемое глубиной схемы, составляет  $2\tau$ , где  $\tau$  - задержка на логический элемент. Число внешних выводов сумматора равно 9.

Недостатками известного сумматора являются низкое быстродействие и большое число внешних выводов.

Наиболее близким по функциональным возможностям и конструкции техническим решением к предлагаемому является сумматор унитарных кодов по модулю три, который содержит три элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, элемент РАВНОЗНАЧНОСТЬ, элемент ИЛИ, элемент И, шесть входов и три выхода [2]. Сложность сумматора равна 15, а быстродействие составляет  $2\tau$ , где  $\tau$  - задержка на логический элемент. При этом число внешних выводов равно 9.

Недостатками сумматора-прототипа являются низкое быстродействие и большое число внешних выводов.

Изобретение направлено на решение следующих технических задач: 1) повышение быстродействия; 2) уменьшение числа внешних выводов сумматора унитарных кодов по модулю три.

Сумматор унитарных кодов по модулю три содержит три элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два.

В отличие от прототипа первый и второй входы первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два соединены с первым входом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два и с входом "равно двум" первого операнда.

Вход "равно единице" первого операнда соединен с третьим входом первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два и с первым и вторым входами третьего элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, третий вход которого соединен с входом "равно нулю" первого операнда и со вторым и третьим входами второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два.

Четвертый и пятый входы  $i$ -го ( $i = 1, 2, 3$ ) элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два соединены с входом "равно нулю" второго операнда, вход "равно двум" которого соединен с шестым входом  $i$ -го элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, выход которого соединен с выходом сумматора "равно  $i-1$ ".

Основной технический результат изобретения заключается в повышении быстродействия и уменьшении числа внешних выводов сумматора унитарных кодов по модулю три. Названный эффект достигается путем введения в логическую схему сумматора трех элементов ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два.

На чертеже (фигура) представлена схема сумматора унитарных кодов по модулю три. Сумматор содержит три элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два 1, 2 и 3, пять входов 4...8 и три выхода 9, 10 и 11.

Сумматор унитарных кодов по модулю три работает следующим образом. На входы 4, 6 и 7 сумматора поступают разряды "равно нулю", "равно единице" и "равно двум" первого операнда  $A = (a_0, a_1, a_2)$ , на входы 5 и 8 - разряды "равно нулю" и "равно двум" второго операнда  $B = (b_0, b_1, b_2)$ , где  $a_0, a_1, a_2, b_0, b_1, b_2 \in \{0, 1\}$ . При этом  $a_k = 1 (b_k = 1)$  тогда и только тогда, когда  $A = k \pmod{3} (B = k \pmod{3})$ , где  $k = 0, 1, 2$ .

На выходах 9, 10 и 11 сумматора формируется унитарный двоичный код результата выполнения операции  $A + B = S \pmod{3}$ , где  $S = (s_0, s_1, s_2)$  и  $s_0, s_1, s_2 \in \{0, 1\}$ . Причем  $s_k = 1$  тогда и только тогда, когда  $A + B = k \pmod{3}$ , где  $k = 0, 1, 2$ .

# BY 13247 C1 2010.06.30

Первообразная функция сумматора унитарных кодов по модулю три имеет вид  $s_0 = f(a_1, a_2, b_0, b_2)$ ,  $s_1 = g(a_0, a_2, b_0, b_2)$ ,  $s_2 = h(a_0, a_1, b_0, b_2)$ , где

$$f(a_1, a_2, b_0, b_2) = \begin{cases} 1, & \text{если } a_1 + 2a_2 + 2b_0 + b_2 = 2; \\ 0 & \text{– в противном случае,} \end{cases}$$

$$g(a_0, a_2, b_0, b_2) = \begin{cases} 1, & \text{если } 2a_0 + a_2 + 2b_0 + b_2 = 2; \\ 0 & \text{– в противном случае,} \end{cases}$$

$$h(a_0, a_1, b_0, b_2) = \begin{cases} 1, & \text{если } a_0 + 2a_1 + 2b_0 + b_2 = 2. \\ 0 & \text{– в противном случае.} \end{cases}$$

Работа сумматора унитарных кодов по модулю три описывается таблицей истинности логических функций  $s_0$ ,  $s_1$  и  $s_2$  (таблица).

Основными достоинствами предлагаемого сумматора унитарных кодов по модулю три являются: 1) высокое быстродействие, определяемое глубиной схемы и равное  $\tau$ ; 2) небольшое число внешних выводов, равное 8. При этом конструктивная сложность сумматора (сумма входов логических элементов) равна 18. Быстродействие сумматора прототипа составляет  $2\tau$ , а число его внешних выводов равно 9.

Источники информации:

1. Патент РБ 2314, МПК G 06F 7/49, 1998.
2. Патент РБ 2473, МПК G 06F 7/49, 1998 (прототип).

ВХОДЫ						ВЫХОДЫ		
Унитарный код первого операнда $A(a_0, a_1, a_2)$			Унитарный код второго операнда $B(b_0, b_1, b_2)$			Унитарный код результата сложения $S(s_0, s_1, s_2)$		
$a_0$	$a_1$	$a_2$	$b_0$	$b_1$	$b_2$	$s_0$	$s_1$	$s_2$
4	6	7	5	-	8	9	10	11
1	0	0	1	0	0	1	0	0
1	0	0	0	1	0	0	1	0
1	0	0	0	0	1	0	0	1
0	1	0	1	0	0	0	1	0
0	1	0	0	1	0	0	0	1
0	1	0	0	0	1	1	0	0
0	0	1	1	0	0	0	0	1
0	0	1	0	1	0	1	0	0
0	0	1	0	0	1	0	1	0

Национальный центр интеллектуальной собственности.

220034, г. Минск, ул. Козлова, 20. □□□□□□□□ □□□□□□□□□□. □□□□□□□□□□.

□□□□□□□□□□ □□□□□□□□□□□□ □□□□□□□□□□ □□□□□□□□□□. □□□□□□□□□□.