

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(12)

РЕСПУБЛИКА БЕЛАРУСЬ



НАЦИОНАЛЬНЫЙ ЦЕНТР  
ИНТЕЛЛЕКТУАЛЬНОЙ  
СОБСТВЕННОСТИ

(19) ВУ (11) 12200

(13) С1

(46) 2009.08.30

(51) МПК (2006)

G 06F 7/38

## (54) ВЫЧИСЛИТЕЛЬНОЕ УСТРОЙСТВО ПО МОДУЛЮ ТРИ

(21) Номер заявки: а 20071526

(22) 2007.12.10

(43) 2008.08.30

(71) Заявитель: Белорусский государственный университет (ВУ)

(72) Авторы: Городецкий Данила Андреевич; Седун Андрей Максимович; Супрун Валерий Павлович (ВУ)

(73) Патентообладатель: Белорусский государственный университет (ВУ)

(56) RU 2090924 С1, 1997.

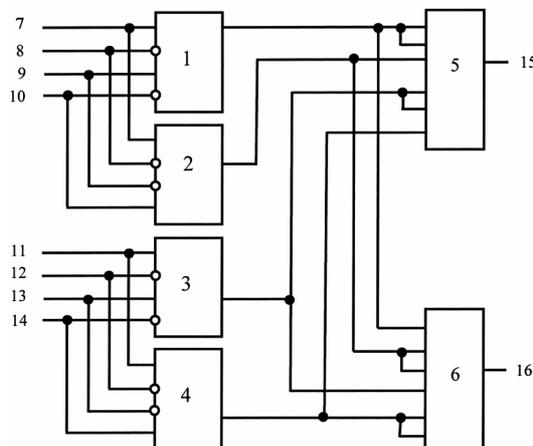
ВУ 9341 С1, 2007.

ВУ 9477 С1, 2007.

ВУ 9189 С1, 2007.

(57)

Вычислительное устройство по модулю три, характеризующееся тем, что содержит первый и второй элементы ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, выход первого из которых соединен с выходом младшего разряда устройства, выход старшего разряда которого соединен с выходом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два; четыре элемента РАВНОЗНАЧНОСТЬ, причем  $i$ -й, где  $i = 1, 2, 3, 4$ , вход  $j$ -го, где  $j = 1, 2$ , элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два соединен с выходом  $i$ -го элемента РАВНОЗНАЧНОСТЬ, выход первого элемента из которых соединен с пятым входом первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, шестой вход которого соединен с выходом третьего элемента РАВНОЗНАЧНОСТЬ, выход четвертого элемента РАВНОЗНАЧНОСТЬ соединен с пятым входом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, шестой вход которого соединен с выходом второго элемента РАВНОЗНАЧНОСТЬ, первый прямой вход которого соединен с первым прямым входом первого элемента РАВНОЗНАЧНОСТЬ и с входом младшего разряда первого операнда устройства, вход старшего разряда которого соединен с первыми инверсными входами первого и второго элементов



ВУ 12200 С1 2009.08.30

РАВНОЗНАЧНОСТЬ, второй инверсный вход первого элемента РАВНОЗНАЧНОСТЬ соединен со вторым прямым входом второго элемента РАВНОЗНАЧНОСТЬ и с входом старшего разряда второго операнда устройства, вход младшего разряда которого соединен со вторым прямым входом первого элемента РАВНОЗНАЧНОСТЬ и со вторым инверсным входом второго элемента РАВНОЗНАЧНОСТЬ, вход младшего разряда третьего операнда устройства соединен с первыми прямыми входами третьего и четвертого элементов РАВНОЗНАЧНОСТЬ, первые инверсные входы которых соединены с входом старшего разряда третьего операнда устройства, вход младшего разряда четвертого операнда устройства соединен со вторым инверсным входом четвертого элемента РАВНОЗНАЧНОСТЬ и со вторым прямым входом третьего элемента РАВНОЗНАЧНОСТЬ, второй инверсный вход которого соединен со вторым прямым входом четвертого элемента РАВНОЗНАЧНОСТЬ и с входом старшего разряда четвертого операнда устройства.

---

Изобретение относится к области вычислительной техники и автоматики и может быть использовано для построения систем передачи и переработки дискретной информации.

Известен сумматор по модулю три, содержащий четыре элемента РАВНОЗНАЧНОСТЬ, четыре входа и два выхода [1].

Недостатком сумматора по модулю три являются низкие функциональные возможности, поскольку сумматор не реализует операцию  $A * B + C * D = S \pmod{3}$ .

Наиболее близким по конструкции и функциональным возможностям техническим решением к предлагаемому является вычислительное устройство по модулю три, содержащее восемь элементов И, мажоритарный элемент с порогом четыре, два элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, восемь входов и два выхода [2]. Конструктивная сложность устройства (по числу входов логических элементов) равна 34, а быстродействие, определяемое глубиной схемы, составляет  $2\tau$ , где  $\tau$  - усредненная задержка на один логический элемент.

Недостатком известного вычислительного устройства по модулю три является высокая конструктивная сложность.

Изобретение направлено на решение технической задачи уменьшения конструктивной сложности (по числу входов логических элементов) вычислительного устройства по модулю три.

Вычислительное устройство по модулю три характеризуется тем, что содержит первый и второй элементы ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, выход первого из которых соединен с выходом младшего разряда устройства, выход старшего разряда которого соединен с выходом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, и четыре элемента РАВНОЗНАЧНОСТЬ.

Причем  $i$ -й ( $i = 1, 2, 3, 4$ ) вход  $j$ -го ( $j = 1, 2$ ) элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два соединен с выходом  $i$ -го элемента РАВНОЗНАЧНОСТЬ, выход первого элемента из которых соединен с пятым входом первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, шестой вход которого соединен с выходом третьего элемента РАВНОЗНАЧНОСТЬ.

Выход четвертого элемента РАВНОЗНАЧНОСТЬ соединен с пятым входом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, шестой вход которого соединен с выходом второго элемента РАВНОЗНАЧНОСТЬ, первый прямой вход которого соединен с первым прямым входом первого элемента РАВНОЗНАЧНОСТЬ и с входом младшего разряда первого операнда устройства.

Вход старшего разряда первого операнда устройства соединен с первыми инверсными входами первого и второго элементов РАВНОЗНАЧНОСТЬ. Второй инверсный вход первого элемента РАВНОЗНАЧНОСТЬ соединен со вторым прямым входом второго элемента РАВНОЗНАЧНОСТЬ и с входом старшего разряда второго операнда устройства, вход

младшего разряда которого соединен со вторым прямым входом первого элемента РАВНОЗНАЧНОСТЬ и со вторым инверсным входом второго элемента РАВНОЗНАЧНОСТЬ.

Вход младшего разряда третьего операнда устройства соединен с первыми прямыми входами третьего и четвертого элементов РАВНОЗНАЧНОСТЬ, первые инверсные входы которых соединены с входом старшего разряда третьего операнда устройства.

Вход младшего разряда четвертого операнда устройства соединен со вторым инверсным входом четвертого элемента РАВНОЗНАЧНОСТЬ и со вторым прямым входом третьего элемента РАВНОЗНАЧНОСТЬ, второй инверсный вход которого соединен со вторым прямым входом четвертого элемента РАВНОЗНАЧНОСТЬ и с входом старшего разряда четвертого операнда устройства.

Основной технический результат изобретения заключается в понижении конструктивной сложности вычислительного устройства по модулю три. Названный эффект достигается путем изменения порога элементов ИСКЛЮЧАЮЩЕЕ ИЛИ и введения в схему новых логических элементов (элементов РАВНОЗНАЧНОСТЬ), а также изменением соединений между элементами логической схемы вычислительного устройства по модулю три.

На чертеже (фигура) представлена схема вычислительного устройства по модулю три.

Вычислительное устройство по модулю три содержит четыре элемента РАВНОЗНАЧНОСТЬ 1, 2, 3 и 4, два элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два 5 и 6, восемь входов 7, ..., 14 и два выхода 15 и 16.

Операнды А, В, С и D задаются двухразрядными двоичными кодами  $A = (a_1, a_2)$ ,  $B = (b_1, b_2)$ ,  $C = (c_1, c_2)$  и  $D = (d_1, d_2)$ , где  $a_1, b_1, c_1, d_1$  - младшие разряды;  $a_2, b_2, c_2, d_2$  - старшие разряды операндов А, В, С и D, т.е.  $A = a_1 + 2a_2$ ,  $B = b_1 + 2b_2$ ,  $C = c_1 + 2c_2$  и  $D = d_1 + 2d_2$ .

В соответствии с выбранным модулем  $P = 3$  операнды могут принимать значения 0 (00), 1 (01), 2 (10). Результат сложения задается двухразрядным двоичным кодом  $S = (S_1, S_2)$ , где  $S = S_1 + 2S_2$ .

На входы 7, 9, 11 и 13 вычислительного устройства подаются значения младших разрядов  $a_1, b_1, c_1, d_1$  операндов соответственно; на входы 8, 10, 12 и 14 - значения старших разрядов  $a_2, b_2, c_2, d_2$  операндов А, В, С и D соответственно. На выходе 15 вычислительного устройства реализуется младший разряд  $S_1$ , на выходе 16 - старший разряд  $S_2$  результата выполнения операции  $A*B + C*D = S \pmod{3}$ .

Логическая схема вычислительного устройства по модулю три (фигура) синтезирована по следующим аналитическим представлениям функций  $S_1$  и  $S_2$ :

$$S_1 = \begin{cases} 1, & \text{если } 2f(a_1, a_2, b_1, b_2) + g(a_1, a_2, b_1, b_2) + 2f(c_1, c_2, d_1, d_2) + g(c_1, c_2, d_1, d_2) = 2; \\ 0 & - \text{ в противном случае,} \end{cases}$$

$$S_2 = \begin{cases} 1, & \text{если } f(a_1, a_2, b_1, b_2) + 2g(a_1, a_2, b_1, b_2) + f(c_1, c_2, d_1, d_2) + 2g(c_1, c_2, d_1, d_2) = 2, \\ 0 & - \text{ в противном случае,} \end{cases}$$

где

$$f(a_1, a_2, b_1, b_2) = \begin{cases} 1, & \text{если } a_1 = \bar{a}_2 = b_1 = \bar{b}_2; \\ 0 & - \text{ в противном случае,} \end{cases}$$

$$g(a_1, a_2, b_1, b_2) = \begin{cases} 1, & \text{если } a_1 = \bar{a}_2 = \bar{b}_1 = b_2; \\ 0 & - \text{ в противном случае,} \end{cases}$$

$$f(c_1, c_2, d_1, d_2) = \begin{cases} 1, & \text{если } c_1 = \bar{c}_2 = d_1 = \bar{d}_2; \\ 0 & - \text{ в противном случае,} \end{cases}$$

$$g(c_1, c_2, d_1, d_2) = \begin{cases} 1, & \text{если } c_1 = \bar{c}_2 = \bar{d}_1 = d_2; \\ 0 & - \text{ в противном случае.} \end{cases}$$

# BY 12200 C1 2009.08.30

Посредством таблицы представлены логические функции  $S_1$  и  $S_2$ , описывающие работу вычислительного устройства по модулю три.

Основным достоинством вычислительного устройства по модулю три является низкая конструктивная сложность (по числу входов логических элементов), равная 28. Сложность устройства-прототипа равна 34, а его быстродействие совпадает с быстродействием вычислительного устройства.

Источники информации:

1. Патент РБ 2080, МПК G 06F 7/50, 1998.
2. Патент РФ 2090924, МПК G 06F 7/50, 1997 (прототип).

Входы								Выходы	
Двоичный код первого операнда $A = (a_2, a_1)$		Двоичный код второго операнда $B = (b_2, b_1)$		Двоичный код третьего операнда $C = (c_2, c_1)$		Двоичный код четвертого операнда $D = (d_2, d_1)$		Двоичный код результата $S = (s_2, s_1)$	
$a_2$	$a_1$	$b_2$	$b_1$	$c_2$	$c_1$	$d_2$	$d_1$	$S_2$	$S_1$
8	7	10	9	12	11	14	13	16	15
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	1	0	0
0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	1	0	0	0	0
0	0	0	0	0	1	0	1	0	1
0	0	0	0	0	1	1	0	1	0
0	0	0	0	1	0	0	0	0	0
0	0	0	0	1	0	0	1	1	0
0	0	0	0	1	0	1	0	0	1
0	0	0	1	0	0	0	0	0	0
0	0	0	1	0	0	0	1	0	0
0	0	0	1	0	1	0	0	0	0
0	0	0	1	0	1	1	0	1	0
0	0	0	1	1	0	0	0	0	0
0	0	0	1	1	0	0	1	1	0
0	0	0	1	1	0	1	0	0	1
0	0	1	0	0	0	0	0	0	0
0	0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	1	0	0	0
0	0	1	0	0	1	0	0	0	0
0	0	1	0	0	1	0	1	0	1
0	0	1	0	0	1	1	0	1	0
0	0	1	0	1	0	0	0	0	0
0	0	1	0	1	0	0	1	1	0
0	0	1	0	1	0	1	0	0	1
0	1	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	1	0	0
0	1	0	0	0	0	1	0	0	0



