

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(12)

РЕСПУБЛИКА БЕЛАРУСЬ



НАЦИОНАЛЬНЫЙ ЦЕНТР
ИНТЕЛЛЕКТУАЛЬНОЙ
СОБСТВЕННОСТИ

(19) ВУ (11) 12000

(13) С1

(46) 2009.06.30

(51) МПК (2006)

G 06F 7/38

(54) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ УНИТАРНЫХ КОДОВ ПО МОДУЛЮ ТРИ

(21) Номер заявки: а 20071442

(22) 2007.11.27

(43) 2008.06.30

(71) Заявитель: Белорусский государственный университет (ВУ)

(72) Авторы: Городецкий Данила Андреевич; Седун Андрей Максимович; Супрун Валерий Павлович (ВУ)

(73) Патентообладатель: Белорусский государственный университет (ВУ)

(56) ВУ 6586 С1, 2004.

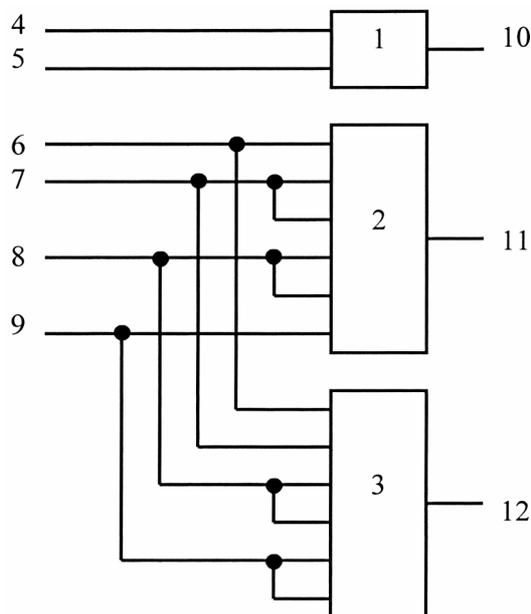
ВУ 9477 С1, 2007.

ВУ 3299 С1, 2000.

SU 1797116 А1, 1993.

(57)

Устройство для умножения унитарных кодов по модулю три, содержащее элемент ИЛИ, выход которого соединен с выходом устройства "равно нулю", а i -й, где $i = 1, 2$, вход - с входом устройства "равно нулю" i -го операнда, отличающееся тем, что содержит первый и второй мажоритарные элементы с порогом три, выход i -го из которых соединен с выходом устройства "равно i ", а первый вход - с входом устройства "равно единице" первого операнда, вход "равно двум" которого соединен со вторым и третьим входами i -го мажоритарного элемента с порогом три, четвертый и пятый входы первого из которых соединены с четвертым входом второго мажоритарного элемента с порогом три и с входом устройства "равно единице" второго операнда, вход "равно двум" которого соединен с шестым входом первого мажоритарного элемента с порогом три и с пятым и шестым входами второго мажоритарного элемента с порогом три.



ВУ 12000 С1 2009.06.30

ВУ 12000 С1 2009.06.30

Изобретение относится к области вычислительной техники и микроэлектроники и может быть использовано для построения средств аппаратного контроля и цифровых устройств, работающих в системе остаточных классов.

Известно устройство для умножения n чисел по модулю три, которое при $n = 2$ содержит четыре элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА и элемент И, четыре входа и два выхода [1].

Недостатком устройства является низкое быстродействие, определяемое глубиной схемы, равное 3τ , где τ - усредненная задержка на один логический элемент.

Наиболее близким по функциональным возможностям и конструкции техническим решением к предлагаемому является устройство для умножения n чисел в унитарных кодах по модулю три, который при $n = 2$ содержит элемент СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, элемент ИЛИ, элемент ИЛИ-НЕ и элемент ЗАПРЕТ, четыре входа и три выхода [2].

Недостатком известного устройства является низкое быстродействие, определяемое глубиной схемы, равное 2τ , где τ - усредненная задержка на один логический элемент.

Изобретение направлено на решение технической задачи повышения быстродействия устройства для умножения унитарных кодов по модулю три за счет уменьшения глубины схемы.

Устройство для умножения унитарных кодов по модулю три содержит элемент ИЛИ, выход которого соединен с выходом "равно нулю" устройства, а i -й, где $i = 1, 2$, вход - с входом устройства "равно нулю" i -го операнда.

В отличие от прототипа устройство дополнительно содержит первый и второй мажоритарные элементы с порогом три, выход i -го из которых соединен с выходом устройства "равно i ", а первый вход - с входом устройства "равно единице" первого операнда.

Вход устройства "равно двум" первого операнда соединен со вторым и третьим входами i -го мажоритарного элемента с порогом три, четвертый и пятый входы первого из которых соединены с четвертым входом второго мажоритарного элемента с порогом три и с входом устройства "равно единице" второго операнда.

Вход устройства "равно двум" второго операнда соединен с шестым входом первого мажоритарного элемента с порогом три и с пятым и шестым входами второго мажоритарного элемента с порогом три.

Основной технической результат изобретения заключается в повышении быстродействия (за счет уменьшения глубины схемы) устройства для умножения n чисел в унитарных кодах по модулю три. Названный технический эффект достигается путем введения в логическую схему устройства новых логических элементов (мажоритарных элементов с порогом три), а также изменения соединений между логическими элементами в схеме устройства.

На чертеже (фигура) представлена схема устройства для умножения унитарных кодов по модулю три.

Устройство для умножения унитарных кодов по модулю три содержит элемент ИЛИ 1 и два мажоритарных элемента с порогом три 2 и 3, шесть входов 4, 5, ..., 9 и три выхода 10, 11 и 12.

Устройство для умножения унитарных кодов по модулю три работает следующим образом. На входы 4, 6, 8 и 5, 7, 9 устройства поступают, соответственно, разряды "равно нулю", "равно единице" и "равно двум" операндов $A = (a_0, a_1, a_2)$ и $B = (b_0, b_1, b_2)$, где $a_0, a_1, a_2, b_0, b_1, b_2 \in \{0, 1\}$. При этом $a_k = 1$ и $b_k = 1$ тогда и только тогда, когда $A = k \pmod{3}$ и $B = k \pmod{3}$, где $k = 0, 1, 2$.

На выходах устройства 10, 11 и 12 формируется унитарный двоичный код результата выполнения операции $A * B = S \pmod{3}$, где $S = (s_0, s_1, s_2)$ и $s_0, s_1, s_2 \in \{0, 1\}$. При этом $s_k = 1$ тогда и только тогда, когда $A * B = k \pmod{3}$ и $k = 0, 1, 2$.

BY 12000 C1 2009.06.30

Логическая схема устройства для умножения унитарных кодов по модулю три (фигура) синтезирована на основе использования следующих представлений функций S_0 , S_1 и S_2 :

$$S_0 = a_0 \vee b_0,$$

$$S_1 = \begin{cases} 1, & \text{если } a_1 + 2b_1 + 2a_2 + b_2 = 3; \\ 0 & \text{– в противном случае,} \end{cases}$$

$$S_2 = \begin{cases} 1, & \text{если } a_1 + b_1 + 2a_2 + 2b_2 = 3; \\ 0 & \text{– в противном случае.} \end{cases}$$

Истинность логических функций S_0 , S_1 и S_2 , описывающих работу устройства для умножения унитарных кодов по модулю три, представлена посредством таблицы.

Основным достоинством устройства для умножения унитарных кодов по модулю три является высокое быстродействие (определяемое глубиной схемы), которое составляет τ , в то время как быстродействие устройства-прототипа составляет 2τ . Конструктивная сложность устройства (по числу входов логических элементов) равна 14. Число внешних выводов схемы равно 9.

Устройство для умножения унитарных кодов по модулю три

Входы						Выходы		
Унитарный двоичный код первого операнда $A = (a_0, a_1, a_2)$			Унитарный двоичный код второго операнда $B = (b_0, b_1, b_2)$			Унитарный двоичный код результата умножения $S = (s_0, s_1, s_2)$		
a_0	a_1	a_2	b_0	b_1	b_2	s_0	s_1	s_2
4	6	8	5	7	9	10	11	12
1	0	0	1	0	0	1	0	0
1	0	0	0	1	0	1	0	0
1	0	0	0	0	1	1	0	0
0	1	0	1	0	0	1	0	0
0	1	0	0	1	0	0	1	0
0	1	0	0	0	1	0	0	1
0	0	1	1	0	0	1	0	0
0	0	1	0	1	0	0	0	1
0	0	1	0	0	1	0	1	0

Источники информации:

1. Патент РБ 5355, МПК G 06F 7/49, 2003.
2. Патент РБ 6586, МПК G 06F 7/49, 2004 (прототип).

Национальный центр интеллектуальной собственности.

220034, г. Минск, ул. Козлова, 20. □□□□□□□□ □□□□□□□□□□. □□□□□□□□□□.

□□□□□□□□□□ □□□□□□□□□□□□ □□□□□□□□□□□□ □□□□□□□□□□. □□□□□□□□□□.