

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(12)

РЕСПУБЛИКА БЕЛАРУСЬ



НАЦИОНАЛЬНЫЙ ЦЕНТР
ИНТЕЛЛЕКТУАЛЬНОЙ
СОБСТВЕННОСТИ

(19) ВУ (11) 11027

(13) С1

(46) 2008.08.30

(51) МПК (2006)

G 06F 7/00

(54) УСТРОЙСТВО ДЛЯ ВЫЧИСЛЕНИЯ ПОЛИНОМИАЛЬНЫХ СИММЕТРИЧЕСКИХ БУЛЕВЫХ ФУНКЦИЙ

(21) Номер заявки: а 20070099

(22) 2007.01.31

(43) 2007.08.30

(71) Заявитель: Белорусский государственный университет (ВУ)

(72) Авторы: Супрун Валерий Павлович;
Седун Андрей Максимович (ВУ)

(73) Патентообладатель: Белорусский государственный университет (ВУ)

(56) ВУ 8619 С1, 2006.

ВУ а20060388, 2006.

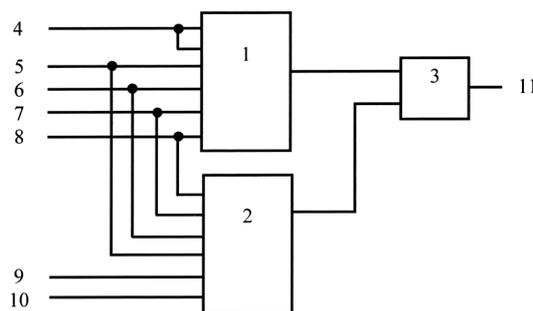
ВУ 8566 С1, 2006.

ВУ 5173 С1, 2003.

SU 1619246 А1, 1991.

(57)

Устройство для вычисления полиномиальных симметрических булевых функций, содержащее элемент ИСКЛЮЧАЮЩЕЕ ИЛИ, i -й, где $i = 1, 2, \dots, 5$, вход которого соединен с i -м входом устройства, отличающееся тем, что содержит элемент ИЛИ и элемент ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом четыре, j -й, где $j = 1, 2, \dots, 4$, вход которого соединен с j -м входом устройства, k -й, где $k = 6, 7$, вход которого соединен с $(k-1)$ -м входом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом четыре, а пятый вход соединен с шестым входом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, выход которого соединен с первым входом элемента ИЛИ, второй вход которого соединен с выходом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом четыре, а выход соединен с выходом устройства.



Изобретение относится к области вычислительной техники и микроэлектроники и предназначено для вычисления полиномиальных симметрических булевых функций четырех переменных.

Известно устройство для вычисления симметрических булевых функций четырех переменных, содержащее мажоритарный элемент с порогом два, элемент СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ и элемент ИЛИ [1].

Недостатком устройства являются большая конструктивная сложность (по числу входов логических элементов) и большое число внешних выводов.

Наиболее близким по функциональным возможностям и конструкции техническим решением к предлагаемому является устройство для вычисления симметрических булевых функций четырех переменных, которое содержит элемент ИСКЛЮЧАЮЩЕЕ ИЛИ, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, элемент СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, двенадцать входов и выход [2].

Недостатком устройства является большое число внешних выводов, которое равно 13.

Изобретение направлено на решение технической задачи уменьшения числа внешних выводов при вычислении полиномиальных симметрических булевых функций четырех переменных.

Устройство для вычисления полиномиальных симметрических булевых функций содержит элемент ИСКЛЮЧАЮЩЕЕ ИЛИ, i -й ($i = 1, 2, \dots, 5$) вход которого соединен с i -м входом устройства. В отличие от прототипа устройство дополнительно содержит элемент ИЛИ и элемент ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом четыре, j -й ($j = 1, 2, \dots, 4$) вход которого соединен с j -м входом устройства. Причем k -й ($k = 6, 7$) вход устройства соединен с $(k-1)$ -м входом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом четыре, а пятый вход соединен с шестым входом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ. Выход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ соединен с первым входом элемента ИЛИ, второй вход которого соединен с выходом элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом четыре, а выход соединен с выходом устройства.

Названный технический результат достигается путем использования новых логических элементов (элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом четыре и элемента ИЛИ).

На чертеже (фигура) представлена логическая схема устройства для вычисления полиномиальных симметрических булевых функций четырех переменных.

Устройство для вычисления полиномиальных симметрических булевых функций содержит элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 1, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом четыре 2, элемент ИЛИ 3, семь входов 4, 5, ..., 10 и один выход 11.

Устройство для вычисления полиномиальных симметрических булевых функций четырех переменных работает следующим образом. На входы устройства 4, 5, ..., 10 поступают сигналы настройки u_1, u_2, \dots, u_7 , значения которых принадлежат множеству $\{0, 1, \overline{x_1}, \overline{x_2}, \overline{x_3}, \overline{x_4}, \overline{x_4}\}$. На выходе устройства 11 реализуется полиномиальная симметрическая булева функция $F = F(x_1, x_2, x_3, x_4)$, определяемая вектором настройки $U = (u_1, u_2, \dots, u_7)$.

Поясним принцип построения и работы устройства для вычисления полиномиальных симметрических булевых функций четырех переменных.

Известно, что произвольная симметрическая булева функция n переменных $F = F(x_1, x_2, \dots, x_n)$ с рабочими числами a_1, a_2, \dots, a_r ($0 \leq r \leq n$) принимает значение 1 на тех и только тех наборах значений переменных $X = \{x_1, x_2, \dots, x_n\}$, которые содержат ровно a_j ($j = 1, 2, \dots, r$) единиц. Такая булева функция обозначается через $F = F_n^{a_1, a_2, \dots, a_r}(x_1, x_2, \dots, x_n)$. Если $r = 1$, то симметрическая булева функция $F = F_n^a(x_1, x_2, \dots, x_n)$ называется фундаментальной (или элементарной).

Симметрическая булева функция n переменных $F = F_n^{a_1, a_2, \dots, a_r}(X)$ называется полиномиальной, если ее полином Жегалкина содержит только элементарные конъюнкции, ранг которых равен k , где $1 \leq k \leq n$. Такая полиномиальная симметрическая булева функция n переменных обозначается через $F = E_n^k(X)$. Очевидно, что полином Жегалкина функции $F = E_n^k(X)$ содержит C_n^k ("число сочетаний из n по k ") элементарных конъюнкций ранга k , где $k = 1, 2, \dots, n$.

BY 11027 C1 2008.08.30

Предлагаемое устройство (фигура) синтезировано на основе применения следующих аналитических представлений полиномиальных симметрических булевых функций четырех переменных $E_4^k(X) = E_4^k(x_1, x_2, x_3, x_4)$:

$$E_4^1(X) = F_4^1(X) \vee F_4^3(X), E_4^2(X) = F_4^2(X) \vee F_4^3(X), E_4^3(X) = F_4^3(X) \text{ и} \\ E_4^4(X) = F_4^4(X).$$

В таблице представлена настройка устройства на вычисление (реализацию) полиномиальных симметрических булевых функций четырех переменных.

Достоинством устройства для вычисления полиномиальных симметрических булевых функций четырех переменных является небольшое число внешних выводов, равное 8 (число внешних выводов устройства-прототипа равно 13). Также отметим высокое быстродействие устройства, которое равно 2τ , где τ - усредненная задержка на один логический элемент, и низкую конструктивную сложность по числу входов логических элементов, равную 14.

Сигналы настройки							Выход
u_1	u_2	u_3	u_4	u_5	u_6	u_7	F
4	5	6	7	8	9	10	11
0	x_1	x_2	x_3	x_4	0	1	E_4^1
0	$\overline{x_1}$	$\overline{x_2}$	$\overline{x_3}$	$\overline{x_4}$	1	1	E_4^2
1	x_1	x_2	x_3	x_4	0	1	E_4^3
1	x_1	x_2	x_3	x_4	0	0	E_4^4

Источники информации:

1. Патент РБ 7947, МПК G 06F 7/00, 2006.
2. Патент РБ 8619, МПК G 06F 7/00, 2006 (прототип).

Национальный центр интеллектуальной собственности.

220034, г. Минск, ул. Козлова, 20. □□□□□□□□ □□□□□□□□□□. □□□□□□□□□□.

□□□□□□□□□□ □□□□□□□□□□□□ □□□□□□□□□□ □□□□□□□□□□. □□□□□□□□□□.