

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(12)

РЕСПУБЛИКА БЕЛАРУСЬ



НАЦИОНАЛЬНЫЙ ЦЕНТР
ИНТЕЛЛЕКТУАЛЬНОЙ
СОБСТВЕННОСТИ

(19) ВУ (11) 10492

(13) С1

(46) 2008.04.30

(51) МПК (2006)

G 06F 7/00

(54) СУММАТОР УНИТАРНЫХ КОДОВ ПО МОДУЛЮ СЕМЬ

(21) Номер заявки: а 20060148

(22) 2006.02.21

(43) 2007.10.30

(71) Заявитель: Государственное научное учреждение "Объединенный институт проблем информатики Национальной академии наук Беларуси" (ВУ)

(72) Авторы: Бибило Петр Николаевич; Седун Андрей Максимович (ВУ)

(73) Патентообладатель: Государственное научное учреждение "Объединенный институт проблем информатики Национальной академии наук Беларуси" (ВУ)

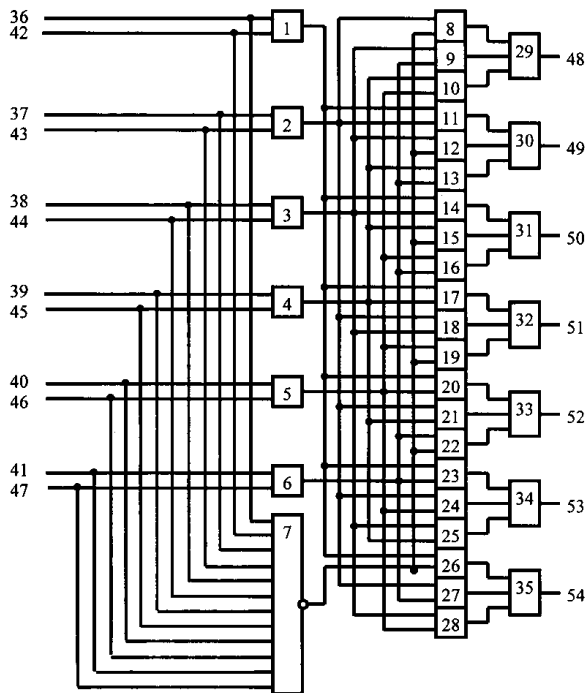
(56) ВУ 3704 С1, 2000.

RU 2028660 С1, 1995.

SU 1603371 А1, 1990.

(57)

Сумматор унитарных кодов по модулю семь, содержащий шесть элементов ИЛИ, семь элементов И и двадцать один элемент РАВНОЗНАЧНОСТЬ, i -й, где $i = 1, 2$, вход j -го, где $j = 1, 2, \dots, 6$, элемента ИЛИ соединен со входом "равно $j-1$ " i -го операнда, выход n -го, где $n = 1, 2, \dots, 7$, элемента И соединен с выходом "равно $n-1$ " сумматора, а k -й, где $k = 1, 2, 3$, вход элемента И соединен с выходом $(3n + k - 3)$ -го элемента РАВНОЗНАЧНОСТЬ, выход первого элемента ИЛИ соединен с первыми входами четвертого, седьмого, десятого, тринадцатого, шестнадцатого и девятнадцатого элементов РАВНОЗНАЧНОСТЬ, выход второго элемента ИЛИ соединен с первыми входами первого, одиннадцатого, четырнадцатого,



Фиг. 1

ВУ 10492 С1 2008.04.30

ВУ 10492 С1 2008.04.30

семнадцатого и двадцатого элементов РАВНОЗНАЧНОСТЬ и со вторым входом четвертого элемента РАВНОЗНАЧНОСТЬ, выход третьего элемента ИЛИ соединен с первыми входами второго, пятого, восемнадцатого и двадцать первого элементов РАВНОЗНАЧНОСТЬ и со вторыми входами седьмого и одиннадцатого элементов РАВНОЗНАЧНОСТЬ, выход четвертого элемента ИЛИ соединен с первыми входами третьего, шестого и восьмого элементов РАВНОЗНАЧНОСТЬ и со вторыми входами десятого, четырнадцатого и восемнадцатого элементов РАВНОЗНАЧНОСТЬ, выход пятого элемента ИЛИ соединен с первыми входами девятого и двенадцатого элементов РАВНОЗНАЧНОСТЬ и со вторыми входами третьего, тринадцатого, семнадцатого и двадцать первого элементов РАВНОЗНАЧНОСТЬ, выход шестого элемента ИЛИ соединен с первым входом пятнадцатого элемента РАВНОЗНАЧНОСТЬ и со вторыми входами второго, шестого, девятого, шестнадцатого и двадцатого элементов РАВНОЗНАЧНОСТЬ, отличающийся тем, что содержит мажоритарный элемент с порогом два с инверсным выходом, j -й вход которого соединен со входом "равно $j-1$ " первого операнда сумматора, а $(j + 6)$ -й вход соединен со входом "равно $j-1$ " второго операнда сумматора, выход мажоритарного элемента с порогом два с инверсным выходом соединен со вторыми входами первого, пятого, восьмого, двенадцатого, пятнадцатого и девятнадцатого элементов РАВНОЗНАЧНОСТЬ.

Изобретение относится к области вычислительной техники и микроэлектроники и может быть использовано для построения средств аппаратного контроля и цифровых устройств, работающих в системе остаточных классов.

Известен сумматор m унитарных кодов по модулю k , который при $k = 7$ и $m = 2$ содержит сорок девять элементов И, семь элементов ИЛИ, четырнадцать входов и семь выходов [1]. Сложность сумматора (по числу входов логических элементов) равна 147, а быстродействие - 2τ , где τ - задержка на логический элемент. Число внешних выводов сумматора равно 21.

Недостатком известного сумматора является высокая конструктивная сложность и большое число внешних выводов.

Наиболее близким по функциональным возможностям и конструкции техническим решением к предлагаемому является сумматор унитарных кодов по модулю семь, который содержит семь элементов ИЛИ, двадцать один элемент РАВНОЗНАЧНОСТЬ, семь элементов И, четырнадцать входов и семь выходов [2]. Сложность сумматора составляет 77, а быстродействие, определяемое глубиной схемы, равно 3τ . Число внешних выводов сумматора равно 21.

Недостатком известного сумматора является большое число внешних выводов.

Изобретение направлено на решение технической задачи - уменьшение числа внешних выводов сумматора унитарных кодов по модулю семь.

Сумматор унитарных кодов по модулю семь содержит шесть элементов ИЛИ, семь элементов И и двадцать один элемент РАВНОЗНАЧНОСТЬ, i -й, где $i = 1, 2$, вход j -го, где $j = 1, 2, \dots, 6$, элемента ИЛИ соединен со входом "равно $j-1$ " j -го операнда, выход n -го, где $n = 1, 2, \dots, 7$, элемента И соединен с выходом "равно $n-1$ " сумматора, а k -й, где $k=1, 2, 3$, вход элемента И соединен с выходом $(3n + k - 3)$ -го элемента РАВНОЗНАЧНОСТЬ. Выход первого элемента ИЛИ соединен с первыми входами четвертого, седьмого, десятого, тринадцатого, шестнадцатого и девятнадцатого элементов РАВНОЗНАЧНОСТЬ. Выход второго элемента ИЛИ соединен с первыми входами первого, одиннадцатого, четырнадцатого, семнадцатого и двадцатого элементов РАВНОЗНАЧНОСТЬ и со вторым входом четвертого элемента РАВНОЗНАЧНОСТЬ. Выход третьего элемента ИЛИ соединен с первыми входами второго, пятого, восемнадцатого и двадцать первого элементов РАВНОЗНАЧНОСТЬ.

и со вторыми входами седьмого и одиннадцатого элементов РАВНОЗНАЧНОСТЬ. Выход четвертого элемента ИЛИ соединен с первыми входами третьего, шестого и восьмого элементов РАВНОЗНАЧНОСТЬ и со вторыми входами десятого, четырнадцатого и восемнадцатого элементов РАВНОЗНАЧНОСТЬ. Выход пятого элемента ИЛИ соединен с первыми входами девятого и двенадцатого элементов РАВНОЗНАЧНОСТЬ и со вторыми входами третьего, тринадцатого, семнадцатого и двадцать первого элементов РАВНОЗНАЧНОСТЬ. Выход шестого элемента ИЛИ соединен с первым входом пятнадцатого элемента РАВНОЗНАЧНОСТЬ и со вторыми входами второго, шестого, девятого, шестнадцатого и двадцатого элементов РАВНОЗНАЧНОСТЬ. В отличие от прототипа сумматор дополнительно содержит мажоритарный элемент с порогом два с инверсным выходом, j -й вход которого соединен со входом "равно $j-1$ " первого операнда сумматора, а $(j + 6)$ -й вход соединен со входом "равно $j-1$ " второго операнда сумматора. Выход мажоритарного элемента с порогом два с инверсным выходом соединен со вторыми входами первого, пятого, восьмого, двенадцатого, пятнадцатого и девятнадцатого элементов РАВНОЗНАЧНОСТЬ.

Основной технический результат изобретения заключается в уменьшении числа внешних выводов сумматора унитарных кодов по модулю семь. Названный технический результат достигается путем введения в логическую схему сумматора унитарных кодов по модулю семь нового логического элемента (мажоритарного элемента с порогом два с инверсным выходом), а также изменением межсоединений в логической схеме сумматора.

На чертеже (фиг. 1) представлена схема сумматора унитарных кодов по модулю семь. Сумматор унитарных кодов по модулю семь содержит шесть элементов ИЛИ 1,2,...,6, мажоритарный элемент с порогом два с инверсным выходом 7, двадцать один элемент РАВНОЗНАЧНОСТЬ 8,9,...,28, семь элементов И 29,30,...,35, двенадцать входов 36,37,...,47 и семь выходов 48,49,...,54.

Сумматор унитарных кодов по модулю семь работает следующим образом. На входы 36,37,...,41 сумматора поступают значения a_0, a_1, \dots, a_5 унитарного двоичного кода первого операнда $A = (a_0, a_1, \dots, a_6)$, на входы 42,44,...,47 поступают значения b_0, b_1, \dots, b_5 унитарного двоичного кода второго операнда $B = (b_0, b_1, \dots, b_6)$, где $a_0, a_1, \dots, a_6, b_0, b_1, \dots, b_6 \in \{0,1\}$. При этом $a_k = 1$ ($b_k = 1$) тогда и только тогда, когда $A = k \pmod{7}$ ($B = k \pmod{7}$), где $k = 0,1,\dots,6$. На выходах 48,49,...,54 сумматора формируется унитарный двоичный код результата суммы $S = (s_0, s_1, \dots, s_6)$, где $s_0, s_1, \dots, s_6 \in \{0,1\}$. При этом $s_k = 1$ тогда и только тогда, когда $A + B = k \pmod{7}$.

Первообразная сумматора унитарных кодов по модулю имеет вид:

$$s_0 = ((a_1 \vee b_1) \overline{M(a_0, b_0, a_1, b_1, \dots, a_5, b_5)} \vee \overline{(a_1 \vee b_1) M(a_0, b_0, a_1, b_1, \dots, a_5, b_5)}) \times \\ \times ((a_2 \vee b_2)(a_5 \vee b_5) \vee \overline{(a_2 \vee b_2)(a_5 \vee b_5)}) \times \\ \times ((a_3 \vee b_3)(a_4 \vee b_4) \vee \overline{(a_3 \vee b_3)(a_4 \vee b_4)}),$$

$$s_1 = ((a_0 \vee b_0)(a_1 \vee b_1) \vee \overline{(a_0 \vee b_0)(a_1 \vee b_1)}) \times \\ \times ((a_2 \vee b_2) \overline{M(a_0, b_0, a_1, b_1, \dots, a_5, b_5)} \vee \overline{(a_2 \vee b_2) M(a_0, b_0, a_1, b_1, \dots, a_5, b_5)}) \times \\ \times ((a_3 \vee b_3)(a_5 \vee b_5) \vee \overline{(a_3 \vee b_3)(a_5 \vee b_5)}),$$

$$s_2 = ((a_0 \vee b_0)(a_2 \vee b_2) \vee \overline{(a_0 \vee b_0)(a_2 \vee b_2)}) \times \\ \times ((a_3 \vee b_3) \overline{M(a_0, b_0, a_1, b_1, \dots, a_5, b_5)} \vee \overline{(a_3 \vee b_3) M(a_0, b_0, a_1, b_1, \dots, a_5, b_5)}) \times \\ \times ((a_4 \vee b_4)(a_5 \vee b_5) \vee \overline{(a_4 \vee b_4)(a_5 \vee b_5)}),$$

BY 10492 C1 2008.04.30

$$s_3 = ((a_0 \vee b_0)(a_3 \vee b_3) \vee \overline{(a_0 \vee b_0)(a_3 \vee b_3)}) \times \\ \times ((a_1 \vee b_1)(a_2 \vee b_2) \vee \overline{(a_1 \vee b_1)(a_2 \vee b_2)}) \times \\ \times ((a_4 \vee b_4) \overline{M(a_0, b_0, a_1, b_1, \dots, a_5, b_5)} \vee \overline{(a_4 \vee b_4) M(a_0, b_0, a_1, b_1, \dots, a_5, b_5)}),$$

$$s_4 = ((a_0 \vee b_0)(a_4 \vee b_4) \vee \overline{(a_0 \vee b_0)(a_4 \vee b_4)}) \times \\ \times ((a_1 \vee b_1)(a_3 \vee b_3) \vee \overline{(a_1 \vee b_1)(a_3 \vee b_3)}) \times \\ \times ((a_5 \vee b_5) \overline{M(a_0, b_0, a_1, b_1, \dots, a_5, b_5)} \vee \overline{(a_5 \vee b_5) M(a_0, b_0, a_1, b_1, \dots, a_5, b_5)}),$$

$$s_5 = ((a_0 \vee b_0)(a_5 \vee b_5) \vee \overline{(a_0 \vee b_0)(a_5 \vee b_5)}) \times \\ \times ((a_1 \vee b_1)(a_4 \vee b_4) \vee \overline{(a_1 \vee b_1)(a_4 \vee b_4)}) \times \\ \times ((a_2 \vee b_2)(a_3 \vee b_3) \vee \overline{(a_2 \vee b_2)(a_3 \vee b_3)}),$$

$$s_6 = ((a_0 \vee b_0) \overline{M(a_0, b_0, a_1, b_1, \dots, a_5, b_5)} \vee \overline{(a_0 \vee b_0) M(a_0, b_0, a_1, b_1, \dots, a_5, b_5)}) \times \\ \times ((a_1 \vee b_1)(a_5 \vee b_5) \vee \overline{(a_1 \vee b_1)(a_5 \vee b_5)}) \times \\ \times ((a_2 \vee b_2)(a_4 \vee b_4) \vee \overline{(a_2 \vee b_2)(a_4 \vee b_4)}),$$

где

$$M(a_0, b_0, a_1, b_1, \dots, a_5, b_5) = \begin{cases} 0, & \text{если } a_0 + b_0 + a_1 + b_1 + \dots + a_5 + b_5 < 2, \\ 1 & \text{в противном случае.} \end{cases}$$

Работа сумматора унитарных кодов по модулю семь описывается таблицей (фиг. 2).

Достоинством сумматора унитарных кодов по модулю семь является небольшое число внешних выводов, равное 19, а также относительно низкая конструктивная сложность устройства (по числу входов логических элементов равная 87) и высокое быстродействие, которое вычисляется как 3τ , где τ - задержка на логический элемент. В то же время устройство-прототип имеет 21 внешний вывод (сложность 77 и быстродействие 3τ).

Источники информации:

1. А.с. СССР 1403060, МПК G 06F 7/49 // БИ № 22. - 1988. - С. 179.
2. Патент Республики Беларусь 3704, МПК G 06F 7/49 // БИ № 4. - 2000. - С. 208 (прототип).

BY 10492 C1 2008.04.30

СУММАТОР УНИТАРНЫХ КОДОВ ПО МОДУЛЮ СЕМЬ

Входы														Выходы						
Унитарный двоичный код первого операнда A = (a ₀ , a ₁ , ..., a ₆)							Унитарный двоичный код второго операнда B = (b ₀ , b ₁ , ..., b ₆)							Унитарный двоичный код результата суммы S = (s ₀ , s ₁ , ..., s ₆)						
a ₀	a ₁	a ₂	a ₃	a ₄	a ₅	a ₆	b ₀	b ₁	b ₂	b ₃	b ₄	b ₅	b ₆	s ₀	s ₁	s ₂	s ₃	s ₄	s ₅	s ₆
36	37	38	39	40	41	-	42	43	44	45	46	47	-	48	49	50	51	52	53	54
1	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0
0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0
0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0
0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0
0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0
0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0
0	0	0	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1
0	0	0	0	0	0	1	0	0	1	0	0	0	0	1	0	0	0	0	0	0
0	0	0	0	0	0	1	0	0	1	0	0	0	0	0	1	0	0	0	0	0
1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	0
0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0
0	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0
0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0
0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0
0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0
0	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0
0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0
0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0
0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1
0	1	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0
0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0
0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0
0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0
0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	0	1	0	0

Фиг.2

Национальный центр интеллектуальной собственности.

220034, г. Минск, ул. Козлова, 20.