

**ОПИСАНИЕ
ИЗОБРЕТЕНИЯ
К ПАТЕНТУ**
(12)

РЕСПУБЛИКА БЕЛАРУСЬ



НАЦИОНАЛЬНЫЙ ЦЕНТР
ИНТЕЛЛЕКТУАЛЬНОЙ
СОБСТВЕННОСТИ

(19) **ВУ** (11) **10350**
(13) **С1**
(46) **2008.02.28**
(51) МПК (2006)
G 06F 7/38

(54)

**ВЫЧИСЛИТЕЛЬНОЕ УСТРОЙСТВО
УНИТАРНЫХ КОДОВ ПО МОДУЛЮ ТРИ**

(21) Номер заявки: а 20060214

(22) 2006.03.13

(43) 2006.10.30

(71) Заявитель: Белорусский государственный университет (ВУ)

(72) Авторы: Городецкий Данила Андреевич; Седун Андрей Максимович; Супрун Валерий Павлович (ВУ)

(73) Патентообладатель: Белорусский государственный университет (ВУ)

(56) ВУ 3270 С1, 2000.

ВУ а20050565, 2005.

ВУ 2314 С1, 1998.

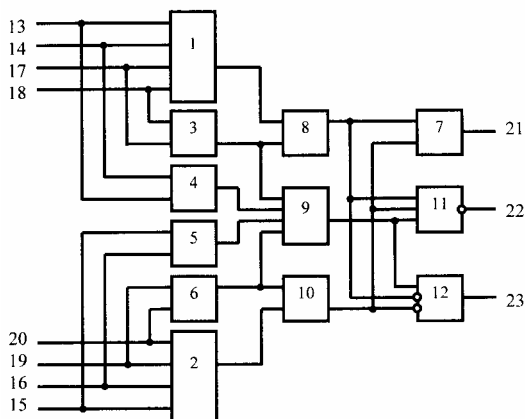
ВУ 6479 С1, 2004.

SU 1734090 А1, 1992.

JP 2000029669 А, 2000.

(57)

Вычислительное устройство унитарных кодов по модулю три, содержащее три элемента ИЛИ, i -й ($i = 1, 2$) вход первого элемента из которых соединен с входом "равно нулю" i -го операнда, а i -й вход второго элемента соединен с входом "равно двум" i -го операнда, отличающееся тем, что дополнительно содержит четвертый и пятый элементы ИЛИ, три элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, элемент ИЛИ-НЕ, элемент ЗАПРЕТ, два мажоритарных элемента с порогом два, i -й вход первого из которых соединен с входом "равно нулю" i -го операнда, вход которого "равно двум" соединен с $(i + 2)$ -м входом первого мажоритарного элемента с порогом два, выход которого соединен с первым входом первого элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, второй вход которого соединен с выходом второго элемента ИЛИ и первым входом второго элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, второй вход которого соединен с выходом первого элемента ИЛИ, а третий вход соединен с выходом третьего элемента ИЛИ, i -й вход которого соединен с i -м входом второго мажоритарного элемента с порогом два и с входом "равно нулю" $(i + 2)$ -го операнда, вход которого "равно двум" соединен с i -м входом четвертого элемента ИЛИ и с $(i + 2)$ -м входом второго мажоритарного элемента с порогом два, выход которого соединен с первым входом третьего элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, второй вход которого соединен с выходом четвертого элемента ИЛИ и с четвертым входом второго



ВУ 10350 С1 2008.02.28

ВУ 10350 С1 2008.02.28

элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, выход которого соединен с первым входом элемента ИЛИ-НЕ и с прямым входом элемента ЗАПРЕТ, первый вход запрета которого соединен со вторым входом элемента ИЛИ-НЕ, с выходом первого элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА и с первым входом пятого элемента ИЛИ, второй вход которого соединен с третьим входом элемента ИЛИ-НЕ, с выходом третьего элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА и со вторым входом запрета элемента ЗАПРЕТ, выход которого соединен с выходом "равно двум" устройства, выход "равно нулю" которого соединен с выходом пятого элемента ИЛИ, а выход "равно единице" соединен с выходом элемента ИЛИ-НЕ.

Изобретение относится к области вычислительной техники и микроэлектроники и может быть использовано для построения средств аппаратурного контроля и цифровых устройств, работающих в системе остаточных классов.

Известен сумматор унитарных кодов по модулю три, который содержит шесть элементов РАВНОЗНАЧНОСТЬ, три элемента И, шесть входов и три выхода [1]. Сумматор реализует операцию $A + B = S$ в унитарных кодах по модулю три.

Недостатком сумматора являются ограниченные функциональные возможности, поскольку сумматор не реализует операцию $(A + B) * (C + D) = S$ в унитарных кодах по модулю три.

Наиболее близким по функциональным возможностям и конструкции техническим решением к предлагаемому является сумматор унитарных кодов по модулю три [2]. Сумматор содержит три элемента ИЛИ, три элемента РАВНОЗНАЧНОСТЬ, шесть входов, три выхода и реализует операцию $A + B = S$ в унитарных кодах по модулю три.

Недостатком известного сумматора являются низкие функциональные возможности, так как он не выполняет операцию $(A + B) * (C + D) = S \pmod{3}$.

Изобретение направлено на решение следующих технических задач: 1) расширение функциональных возможностей вычислительного устройства по модулю три за счет реализации в унитарных кодах операции $(A + B) * (C + D) = S \pmod{3}$; 2) уменьшение числа внешних выводов (числа входов и выходов).

Вычислительное устройство унитарных кодов по модулю три содержит три элемента ИЛИ, i -й ($i = 1, 2$) вход первого элемента из которых соединен с входом "равно нулю" i -го операнда, а i -й вход второго элемента соединен с входом "равно двум" i -го операнда. В отличие от прототипа в устройство дополнительно введены четвертый и пятый элементы ИЛИ, три элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, элемент ИЛИ-НЕ, элемент ЗАПРЕТ и два мажоритарных элемента с порогом два. Причем i -й вход первого мажоритарного элемента с порогом два соединен с входом "равно нулю" i -го операнда, вход которого "равно двум" соединен с $(i + 2)$ -м входом первого мажоритарного элемента с порогом два, выход которого соединен с первым входом первого элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, второй вход которого соединен с выходом второго элемента ИЛИ и первым входом второго элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА. Второй вход второго элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА соединен с выходом первого элемента ИЛИ, а третий вход соединен с выходом третьего элемента ИЛИ, i -й вход которого соединен с i -м входом второго мажоритарного элемента с порогом два и с входом "равно нулю" $(i + 2)$ -го операнда, вход которого "равно двум" соединен с i -м входом четвертого элемента ИЛИ и с $(i + 2)$ -м входом второго мажоритарного элемента с порогом два. Выход второго мажоритарного элемента с порогом два соединен с первым входом третьего элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, второй вход которого соединен с выходом четвертого элемента ИЛИ и с четвертым входом второго элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА. Выход второго элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА соединен с первым входом элемента ИЛИ-НЕ и с прямым входом элемента ЗАПРЕТ, первый вход запрета которого соединен

ВУ 10350 С1 2008.02.28

со вторым входом элемента ИЛИ-НЕ, с выходом первого элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА и с первым входом пятого элемента ИЛИ. Второй вход пятого элемента ИЛИ соединен с третьим входом элемента ИЛИ-НЕ, с выходом третьего элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА и со вторым входом запрета элемента ЗАПРЕТ. Выход элемента ЗАПРЕТ соединен с выходом "равно двум" устройства, выход "равно нулю" которого соединен с выходом пятого элемента ИЛИ, а выход "равно единице" соединен с выходом элемента ИЛИ-НЕ.

Названные технические результаты достигаются путем использования новых логических элементов (элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, мажоритарных элементов с порогом два, элемента ИЛИ-НЕ и элемента ЗАПРЕТ), а также изменением межсоединений элементов в схеме.

На чертеже (фигура) представлена схема вычислительного устройства унитарных кодов по модулю три.

Вычислительное устройство унитарных кодов по модулю три содержит два мажоритарных элемента с порогом два 1 и 2, пять элементов ИЛИ 3...7, три элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА 8, 9 и 10, элемент ИЛИ-НЕ 11, элемент ЗАПРЕТ 12, восемь входов 13...20, три выхода 21, 22 и 23.

Вычислительное устройство унитарных кодов по модулю три работает следующим образом. На входы 13 и 17 поступают соответственно значения a_0 и a_2 унитарного кода первого операнда $A = (a_0, a_1, a_2)$; на входы 14 и 18 - значения b_0 и b_2 унитарного кода второго операнда $B = (b_0, b_1, b_2)$; на входы 15 и 19 - значения c_0 и c_2 унитарного кода третьего операнда $C = (c_0, c_1, c_2)$; на входы 16 и 20 - значения d_0 и d_2 унитарного кода четвертого операнда $D = (d_0, d_1, d_2)$, где $a_0, b_0, c_0, d_0, a_1, b_1, c_1, d_1, a_2, b_2, c_2, d_2 \in \{0,1\}$. При этом $a_k = 1$ ($b_k = 1, c_k = 1, d_k = 1$) тогда и только тогда, когда $A = k \pmod{3}$ (соответственно $B = k \pmod{3}, C = k \pmod{3}$ и $D = k \pmod{3}$), где $k = 0, 1, 2$.

На выходах 21, 22 и 23 устройства формируется унитарный двоичный код результата выполнения операции $(A + B) * (C + D) = S \pmod{3}$, где $S = (s_0, s_1, s_2)$ и $s_0, s_1, s_2 \in \{0,1\}$. Причем $s_k = 1$ тогда и только тогда, когда $(A + B) * (C + D) = S \pmod{3}$ и $k = 0, 1, 2$.

Логические функции S_0, S_1, S_2 , реализуемые на выходах заявляемого вычислительного устройства, представлены посредством таблицы истинности. Логическая схема устройства для выполнения операции $(A + B) * (C + D) = S \pmod{3}$ в унитарных кодах по модулю три синтезирована на основе использования следующих аналитических представлений функций S_0, S_1, S_2 :

$$S_0 = F_1 \vee F_2, S_1 = \overline{F_1 \vee F_2 \vee F_3}, S_2 = \overline{F_1} \& \overline{F_2} \& F_3,$$

$$F_1 = M_2(a_0, b_0, a_2, b_2) \oplus (a_2 \vee b_2), F_2 = M_2(c_0, d_0, c_2, d_2) \oplus (c_2 \vee d_2),$$

$$F_3 = (a_0 \vee b_0) \oplus (a_2 \vee b_2) \oplus (c_0 \vee d_0) \oplus (c_2 \vee d_2),$$

где функция $M_2(x_1, x_2, x_3, x_4)$ - функция, реализуемая на выходе мажоритарного элемента с порогом два, на входы которого поступают значения логических переменных x_1, x_2, x_3, x_4 , т.е.

$$M_2(x_1, x_2, x_3, x_4) = \begin{cases} 1, & \text{если } x_1 + x_2 + x_3 + x_4 \geq 2, \\ 0 & \text{- в противном случае.} \end{cases}$$

Сложность вычислительного устройства унитарных кодов по модулю три (по числу входов логических элементов) равна 32, быстродействие (определяемое глубиной схемы) составляет 3τ , где τ - усредненная задержка на один логический элемент. Основными достоинствами устройства являются: 1) широкие функциональные возможности, так как устройство реализует операцию $(A + B) * (C + D) = S \pmod{3}$; 2) число внешних выводов, которое равно 11.

BY 10350 C1 2008.02.28

Входы												Выходы		
Унитарный код первого операнда A=(a ₀ , a ₁ , a ₂)			Унитарный код второго операнда B=(b ₀ , b ₁ , b ₂)			Унитарный код третьего операнда C=(c ₀ , c ₁ , c ₂)			Унитарный код четвертого операнда D=(d ₀ , d ₁ , d ₂)			Унитарный код результата S=(s ₀ , s ₁ , s ₂)		
a ₀	a ₁	a ₂	b ₀	b ₁	b ₂	c ₀	c ₁	c ₂	d ₀	d ₁	d ₂	s ₀	s ₁	s ₂
13	-	17	14	-	18	15	-	19	16	-	20	21	22	23
1	0	0	1	0	0	1	0	0	1	0	0	1	0	0
0	1	0	1	0	0	1	0	0	1	0	0	1	0	0
0	0	1	1	0	0	1	0	0	1	0	0	1	0	0
1	0	0	0	1	0	1	0	0	1	0	0	1	0	0
0	1	0	0	1	0	1	0	0	1	0	0	1	0	0
0	0	1	0	1	0	1	0	0	1	0	0	1	0	0
1	0	0	0	0	1	1	0	0	1	0	0	1	0	0
0	1	0	0	0	1	1	0	0	1	0	0	1	0	0
0	0	1	0	0	1	1	0	0	1	0	0	1	0	0
1	0	0	1	0	0	0	1	0	1	0	0	1	0	0
0	1	0	1	0	0	0	1	0	1	0	0	0	1	0
0	0	1	1	0	0	0	1	0	1	0	0	0	0	1
1	0	0	0	1	0	0	1	0	1	0	0	0	1	0
0	1	0	1	0	0	0	1	0	1	0	0	0	0	1
0	0	1	0	0	1	0	1	0	1	0	0	0	1	0
1	0	0	1	0	0	0	0	1	1	0	0	1	0	0
0	1	0	1	0	0	0	0	1	1	0	0	0	0	1
0	0	1	0	1	0	0	0	1	1	0	0	1	0	0
1	0	0	0	0	1	0	0	1	1	0	0	0	1	0
0	1	0	0	0	1	0	0	1	1	0	0	1	0	0
0	0	1	0	0	1	0	0	1	1	0	0	0	0	1
1	0	0	1	0	0	1	0	0	0	1	0	1	0	0
0	1	0	1	0	0	1	0	0	0	1	0	0	1	0
0	0	1	1	0	0	1	0	0	0	1	0	0	0	1
1	0	0	0	1	0	1	0	0	0	1	0	0	1	0
0	1	0	0	1	0	1	0	0	0	1	0	0	0	1
0	0	1	0	1	0	1	0	0	0	1	0	1	0	0
1	0	0	0	0	1	1	0	0	0	1	0	0	0	1
0	1	0	0	0	1	1	0	0	0	1	0	1	0	0
0	0	1	0	0	1	1	0	0	0	1	0	0	1	0
1	0	0	1	0	0	0	1	0	0	1	0	1	0	0
0	1	0	1	0	0	0	1	0	0	1	0	0	0	1
0	0	1	1	0	0	0	1	0	0	1	0	0	1	0
1	0	0	0	1	0	0	1	0	0	1	0	0	0	1
0	1	0	0	1	0	0	1	0	0	1	0	0	1	0
0	0	1	0	1	0	0	1	0	0	1	0	1	0	0
1	0	0	0	0	1	0	1	0	0	1	0	0	1	0

