

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(12)

РЕСПУБЛИКА БЕЛАРУСЬ



НАЦИОНАЛЬНЫЙ ЦЕНТР
ИНТЕЛЛЕКТУАЛЬНОЙ
СОБСТВЕННОСТИ

(19) ВУ (11) 9600

(13) С1

(46) 2007.08.30

(51) МПК (2006)

G 06F 7/38

G 06F 7/48

(54)

СУММАТОР УНИТАРНЫХ КОДОВ ПО МОДУЛЮ ТРИ

(21) Номер заявки: а 20050565

(22) 2005.06.07

(43) 2005.12.30

(71) Заявитель: Белорусский государственный университет (ВУ)

(72) Авторы: Городецкий Данила Андреевич; Седун Андрей Максимович; Супрун Валерий Павлович (ВУ)

(73) Патентообладатель: Белорусский государственный университет (ВУ)

(56) ВУ 3270 С1, 2000.

ВУ 2991 С1, 1999.

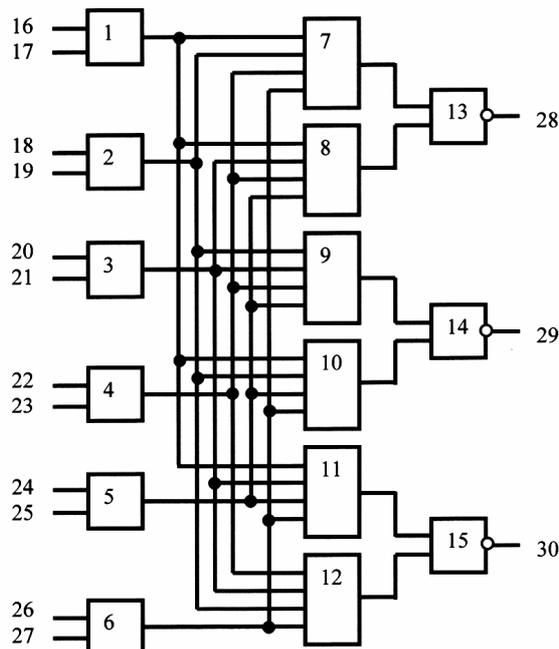
ВУ 2305 С1, 1998.

SU 1403060 А1, 1988.

JP 2000029669 А, 2000.

(57)

Сумматор унитарных кодов по модулю три, содержащий три элемента ИЛИ, i -й ($i = 1, 2$) вход j -го ($j = 1, 2, 3$) элемента из которых соединен с входом "равно $j-1$ " i -го операнда, отличающийся тем, что дополнительно содержит четвертый, пятый и шестой элементы ИЛИ, шесть элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА и три элемента ИЛИ-НЕ, выход j -го элемента из которых соединен с выходом "равно $j-1$ " сумматора, причем i -й вход $(j + 3)$ -го элемента ИЛИ соединен с входом "равно $j-1$ " $(i + 2)$ -го операнда, выход первого элемента ИЛИ соединен с первыми входами первого, второго, третьего и четвертого элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, выход второго элемента ИЛИ соединен с первыми входами пятого и шестого элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА и вторыми входами первого и третьего элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, выход



ВУ 9600 С1 2007.08.30

ВУ 9600 С1 2007.08.30

третьего элемента ИЛИ соединен со вторыми входами второго, четвертого, пятого и шестого элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, выход четвертого элемента ИЛИ соединен с третьими входами первого, второго, пятого и шестого элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, выход пятого элемента ИЛИ соединен с третьими входами третьего и четвертого элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА и четвертыми входами второго и пятого элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, выход шестого элемента ИЛИ соединен с четвертыми входами первого, третьего, четвертого и шестого элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, выход первого элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА соединен с первым входом первого элемента ИЛИ-НЕ, второй вход которого соединен с выходом второго элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, выход третьего элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА соединен с первым входом второго элемента ИЛИ-НЕ, второй вход которого соединен с выходом пятого элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, выход четвертого элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА соединен с первым входом третьего элемента ИЛИ-НЕ, второй вход которого соединен с выходом шестого элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА.

Изобретение относится к области вычислительной техники и микроэлектроники и может быть использовано для построения средств аппаратурного контроля и цифровых устройств, работающих в системе остаточных классов.

Известен сумматор унитарных кодов по модулю три, который содержит шесть элементов РАВНОЗНАЧНОСТЬ, три элемента И, шесть входов и три выхода [1]. Сумматор реализует операцию $A + B = S$ в унитарных кодах по модулю три.

Недостатком сумматора являются ограниченные функциональные возможности, поскольку сумматор не реализует операцию $A + B + C + D = S$ в унитарных кодах по модулю три.

Наиболее близким по функциональным возможностям и конструкции техническим решением к предлагаемому является сумматор унитарных кодов по модулю три [2]. Сумматор содержит три элемента ИЛИ, три элемента РАВНОЗНАЧНОСТЬ, шесть входов, три выхода и реализует операцию $A + B = S$ в унитарных кодах по модулю три.

Недостатком известного сумматора являются низкие функциональные возможности, так как он не выполняет операцию $A + B + C + D = S \pmod{3}$.

Изобретение направлено на решение технической задачи расширения функциональных возможностей сумматора по модулю три за счет реализации в унитарных кодах операции $A + B + C + D = S \pmod{3}$.

Сумматор унитарных кодов по модулю три содержит три элемента ИЛИ, i -й ($i = 1, 2$) вход j -го ($j = 1, 2, 3$) элемента из которых соединен с входом "равно $j-1$ " i -го операнда. В отличие от прототипа сумматор дополнительно содержит четвертый, пятый и шестой элементы ИЛИ, шесть элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА и три элемента ИЛИ-НЕ, выход j -го элемента из которых соединен с выходом "равно $j-1$ " сумматора, причем i -й вход ($j + 3$)-го элемента ИЛИ соединен с входом "равно $j-1$ " ($i + 2$)-го операнда. Выход первого элемента ИЛИ соединен с первыми входами первого, второго, третьего и четвертого элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА. Выход второго элемента ИЛИ соединен с первыми входами пятого и шестого элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА и вторыми входами первого и третьего элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА. Выход третьего элемента ИЛИ соединен со вторыми входами второго, четвертого, пятого и шестого элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА. Выход четвертого элемента ИЛИ соединен с третьими входами первого, второго, пятого и шестого элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА. Выход пятого элемента ИЛИ соединен с третьими входами третьего и четвертого элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА и четвертыми входами второго и пятого элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА. Выход шестого элемента ИЛИ со-

ВУ 9600 С1 2007.08.30

единен с четвертыми входами первого, третьего, четвертого и шестого элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА. Выход первого элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА соединен с первым входом первого элемента ИЛИ-НЕ, второй вход которого соединен с выходом второго элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА. Выход третьего элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА соединен с первым входом второго элемента ИЛИ-НЕ, второй вход которого соединен с выходом пятого элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА. Выход четвертого элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА соединен с первым входом третьего элемента ИЛИ-НЕ, второй вход которого соединен с выходом шестого элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА.

Названный технический результат достигается путем использования новых логических элементов (элементов ИЛИ-НЕ и СЛОЖЕНИЕ ПО МОДУЛЮ ДВА) и изменения соединений между элементами логической схемы.

На чертеже (фигура) представлена схема сумматора унитарных кодов по модулю три.

Сумматор унитарных кодов по модулю три содержит шесть элементов ИЛИ 1...6, шесть элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА 7...12, три элемента ИЛИ-НЕ 13, 14 и 15, двенадцать входов 16...27 и три выхода 28, 29 и 30.

Сумматор унитарных кодов по модулю три работает следующим образом. На входы 16, 18 и 20 сумматора поступает унитарный код первого операнда $A = (a_0, a_1, a_2)$, на входы 17, 19 и 21 - унитарный код второго операнда $B = (b_0, b_1, b_2)$, на входы 22, 24 и 26 - унитарный код третьего операнда $C = (c_0, c_1, c_2)$, на входы 23, 25 и 27 - унитарный код четвертого операнда $D = (d_0, d_1, d_2)$, где $a_0, b_0, c_0, d_0, a_1, b_1, c_1, d_1, a_2, b_2, c_2, d_2 \in \{0,1\}$. При этом $a_k = 1$ ($b_k = 1, c_k = 1, d_k = 1$) тогда и только тогда, когда $A = k \pmod{3}$ (соответственно $B = k \pmod{3}, C = k \pmod{3}$ и $D = k \pmod{3}$), где $k = 0, 1, 2$. На выходах 28, 29 и 30 сумматора формируется унитарный двоичный код результата выполнения операции $A + B + C + D = S \pmod{3}$, где $S = (S_0, S_1, S_2)$ и $S_0, S_1, S_2 \in \{0, 1\}$. Причем $S_k = 1$ тогда и только тогда, когда $A + B + C + D = k \pmod{3}$ и $k = 0, 1, 2$.

Логические функции S_0, S_1, S_2 , реализуемые на выходах сумматора, представлены посредством таблицы истинности.

Схема сумматора для выполнения операции $A + B + C + D = S \pmod{3}$ в унитарных кодах по модулю три синтезирована на основе использования следующих аналитических представлений функций S_0, S_1, S_2 :

$$S_0 = \overline{((a_0 \vee b_0) \oplus (a_1 \vee b_1) \oplus (c_0 \vee d_0) \oplus (c_2 \vee d_2)) \vee ((a_0 \vee b_0) \oplus (a_2 \vee b_2) \oplus (c_0 \vee d_0) \oplus (c_1 \vee d_1))},$$

$$S_1 = \overline{((a_1 \vee b_1) \oplus (a_2 \vee b_2) \oplus (c_0 \vee d_0) \oplus (c_1 \vee d_1)) \vee ((a_0 \vee b_0) \oplus (a_1 \vee b_1) \oplus (c_1 \vee d_1) \oplus (c_2 \vee d_2))},$$

$$S_2 = \overline{((a_0 \vee b_0) \oplus (a_2 \vee b_2) \oplus (c_1 \vee d_1) \oplus (c_2 \vee d_2)) \vee ((a_1 \vee b_1) \oplus (a_2 \vee b_2) \oplus (c_0 \vee d_0) \oplus (c_2 \vee d_2))}.$$

Дополнительными достоинствами сумматора унитарных кодов по модулю три являются относительно низкая конструктивная сложность (по числу входов логических элементов) и высокое быстродействие. Так, его сложность равна 42, а быстродействие составляет 3τ , где τ - усредненная задержка на один логический элемент. Если сумматор унитарных кодов $A + B + C + D = S \pmod{3}$ синтезировать на трех сумматорах $A + B = S \pmod{3}$ [2], то его сложность будет равна 36, а быстродействие - 4τ .

BY 9600 C1 2007.08.30

A			B			C			D			S		
a ₀	a ₁	a ₂	b ₀	b ₁	b ₂	c ₀	c ₁	c ₂	d ₀	d ₁	d ₂	s ₀	s ₁	s ₂
16	18	20	17	19	21	22	24	26	23	25	27	28	29	30
0	0	1	1	0	0	0	0	1	0	1	0	0	0	1
1	0	0	0	1	0	0	0	1	0	1	0	0	1	0
0	1	0	0	1	0	0	0	1	0	1	0	0	0	1
0	0	1	0	1	0	0	0	1	0	1	0	1	0	0
1	0	0	0	0	1	0	0	1	0	1	0	0	0	1
0	1	0	0	0	1	0	0	1	0	1	0	1	0	0
0	0	1	0	0	1	0	0	1	0	1	0	0	1	0
1	0	0	1	0	0	1	0	0	0	0	1	0	0	1
0	1	0	1	0	0	1	0	0	0	0	1	1	0	0
0	0	1	1	0	0	1	0	0	0	0	1	0	1	0
1	0	0	0	1	0	1	0	0	0	0	1	1	0	0
0	1	0	0	1	0	1	0	0	0	0	1	0	1	0
0	0	1	0	1	0	1	0	0	0	0	1	0	0	1
1	0	0	0	0	1	1	0	0	0	0	1	0	1	0
0	1	0	0	0	1	1	0	0	0	0	1	0	0	1
0	0	1	0	0	1	1	0	0	0	0	1	1	0	0
1	0	0	1	0	0	0	1	0	0	0	1	1	0	0
0	1	0	1	0	0	0	1	0	0	0	1	0	1	0
0	0	1	1	0	0	0	1	0	0	0	1	0	0	1
1	0	0	0	1	0	0	1	0	0	0	1	0	1	0
0	1	0	0	1	0	0	1	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	0	0	0	1	1	0	0
1	0	0	0	0	1	0	1	0	0	0	1	0	0	1
0	1	0	0	0	1	0	1	0	0	0	1	1	0	0
0	0	1	0	0	1	0	1	0	0	0	1	0	1	0
1	0	0	1	0	0	0	0	1	0	0	1	0	1	0
0	1	0	1	0	0	0	0	1	0	0	1	0	0	1
0	0	1	1	0	0	0	0	1	0	0	1	1	0	0
1	0	0	0	1	0	0	0	1	0	0	1	0	0	1
0	1	0	0	1	0	0	0	1	0	0	1	1	0	0
0	0	1	0	1	0	0	0	1	0	0	1	0	1	0
1	0	0	0	0	1	0	0	1	0	0	1	1	0	0
0	1	0	0	0	1	0	0	1	0	0	1	0	1	0
0	0	1	0	0	1	0	0	1	0	0	1	0	1	0

Источники информации:

1. Патент РБ 2314, МПК G 06F 7/49, 1998.
2. Патент РБ 3270, МПК G 06F 7/49, 2000 (прототип).

Национальный центр интеллектуальной собственности.

220034, г. Минск, ул. Козлова, 20. □□□□□□ □□□□□□□□□□. □□□□□□□□□□.

□□□□□□□□□□ □□□□□□□□□□□□ □□□□□□□□□□ □□□□□□□□□□. □□□□□□□□□□.