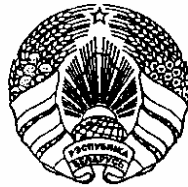


ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(12)

РЕСПУБЛИКА БЕЛАРУСЬ



НАЦИОНАЛЬНЫЙ ЦЕНТР
ИНТЕЛЛЕКТУАЛЬНОЙ
СОБСТВЕННОСТИ

(19) ВУ (11) 7008

(13) С1

(46) 2005.06.30

(51)⁷ G 06F 7/49

(54)

СУММАТОР УНИТАРНЫХ КОДОВ ПО МОДУЛЮ ПЯТЬ

(21) Номер заявки: а 19991145

(22) 1999.12.22

(43) 2001.06.30

(71) Заявитель: Белорусский государственный университет (ВУ)

(72) Авторы: Супрун Валерий Павлович;
Седун Андрей Максимович (ВУ)

(73) Патентообладатель: Белорусский государственный университет (ВУ)

(56) SU 1403060 A1, 1988.

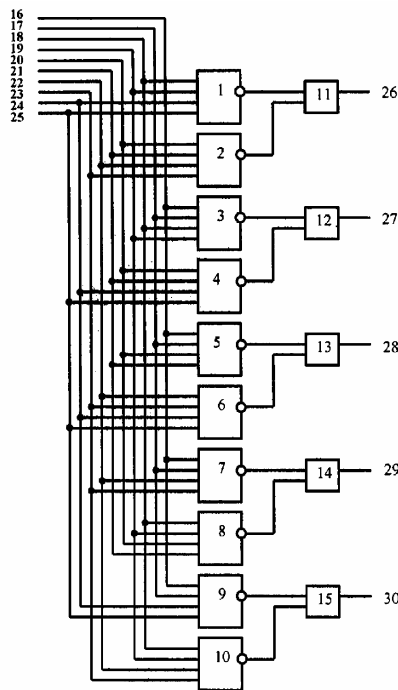
SU 1658142 A1, 1991.

ВУ 2991 С1, 1999.

RU 2012038 С1, 1994.

(57)

Сумматор унитарных кодов по модулю пять, содержащий пять элементов И, отличающийся тем, что содержит десять элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА с инверсными выходами, причем i -й ($i = 1, 2$) вход j -го ($j = 1, 2, \dots, 5$) элемента И соединен с инверсным выходом $(i + 2j - 2)$ -го элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, а выход соединен с выходом "равно $j - 1$ " сумматора, вход "равно 0" i -го операнда соединен с i -ми входами третьего, пятого, седьмого и девятого элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, вход "равно 1" i -го операнда соединен с i -ми входами первого, восьмого и десятого элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА и с $(i + 2)$ -м входом третьего элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА,



Фиг. 1

ВУ 7008 С1 2005.06.30

ВУ 7008 С1 2005.06.30

вход "равно 2" i -го операнда соединен с i -ми входами второго и четвертого элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА и с $(i + 2)$ -ми входами пятого и восьмого элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, вход "равно 3" i -го операнда соединен с i -м входом шестого элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА и с $(i + 2)$ -ми входами второго, седьмого и десятого элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, вход "равно 4" i -го операнда соединен с $(i + 2)$ -ми входами первого, четвертого, шестого и девятого элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА.

Изобретение относится к области вычислительной техники и микроэлектроники и может быть использовано для построения средств аппаратурного контроля и цифровых устройств, работающих в системе остаточных классов.

Известен сумматор унитарных кодов по модулю пять, который содержит пять элементов И, пять элементов ИЛИ, десять элементов равнозначности, десять входов и пять выходов [1].

Недостатком сумматора является низкое быстродействие.

Наиболее близким по конструкции и функциональным возможностям техническим решением к предлагаемому является сумматор m унитарных кодов по модулю k , который при $m = 2$ и $k = 5$ содержит двадцать пять элементов И и пять элементов ИЛИ [2]. Конструктивная сложность сумматора по числу входов логических элементов равна 75, а быстродействие - 2τ , где τ - усредненная задержка на один логический элемент.

Недостатком известного сумматора является высокая конструктивная сложность.

Изобретение направлено на решение технической задачи понижения конструктивной сложности сумматора унитарных кодов по модулю пять.

Сумматор унитарных кодов по модулю пять содержит пять элементов И. В отличие от прототипа сумматор дополнительно содержит десять элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА с инверсными входами, причем i -й ($i = 1, 2$) вход j -го ($j = 1, 2, \dots, 5$) элемента И соединен с инверсным выходом $(i + 2j - 2)$ -го элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, а выход соединен с выходом "равно $j - 1$ " сумматора. Вход "равно 0" i -го операнда соединен с i -ми входами третьего, пятого, седьмого и девятого элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА. Вход "равно 1" i -го операнда соединен с i -ми входами первого, восьмого и десятого элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА и с $(i + 2)$ -м входом третьего элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА. Вход "равно 2" i -го операнда соединен с i -ми входами второго и четвертого элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА и с $(i + 2)$ -ми входами пятого и восьмого элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА. Вход "равно 3" i -го операнда соединен с i -м входом шестого элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА и с $(i + 2)$ -ми входами второго, седьмого и десятого элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА. Вход "равно 4" i -го операнда соединен с $(i + 2)$ -ми входами первого, четвертого, шестого и девятого элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА.

Основной технический результат изобретения заключается в понижении конструктивной сложности сумматора унитарных кодов по модулю пять. Названный технический результат достигается путем введения в логическую схему сумматора новых логических элементов (элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА с инверсными выходами), а также изменений межсоединений логических элементов в схеме сумматора.

На чертеже (фиг. 1) представлена схема сумматора унитарных кодов по модулю пять, а его работа описывается таблицей (фиг. 2).

Сумматор унитарных кодов по модулю пять содержит десять элементов СЛОЖЕНИЕ ПО МОДУЛЮ ДВА с инверсными выходами 1, 2, ..., 10, пять элементов И 11, 12, ..., 15, десять входов 16, 17, ..., 25 и пять выходов 26, 27, ..., 30.

Сумматор работает следующим образом. На входы 16, 18, 20, 22 и 24 сумматора поступает унитарный двоичный код первого операнда $X = (x_0, x_1, \dots, x_4)$, на входы 17, 19, 21, 23 и 25 - унитарный двоичный код второго операнда $Y = (y_0, y_1, \dots, y_4)$, где $x_0, x_1, \dots, x_4, y_0, y_1, \dots, y_4 \in \{0, 1\}$. При

BY 7008 C1 2005.06.30

этом $x_k = 1$ ($y_k = 1$) тогда и только тогда, когда $X = k \pmod{5}$ ($Y = k \pmod{5}$), где $k = 0, 1, \dots, 4$. На выходах 26, 27, ..., 30 сумматора формируется унитарный двоичный код результата суммы $s = (s_0, s_1, \dots, s_4)$, где $s_0, s_1, \dots, s_4 \in \{0, 1\}$. При этом $s_k = 1$ тогда и только тогда, когда $X + Y = k \pmod{5}$.

Логическая схема сумматора унитарных кодов по модулю пять (фиг. 1) синтезирована по следующим аналитическим представлениям функций s_0, s_1, s_2, s_3 и s_4 :

$$\begin{aligned}
 s_0 &= (\overline{x_1 \oplus y_1 \oplus x_4 \oplus y_4}) (\overline{x_2 \oplus y_2 \oplus x_3 \oplus y_3}), \\
 s_1 &= (\overline{x_0 \oplus y_0 \oplus x_1 \oplus y_1}) (\overline{x_2 \oplus y_2 \oplus x_4 \oplus y_4}), \\
 s_2 &= (\overline{x_0 \oplus y_0 \oplus x_2 \oplus y_2}) (\overline{x_3 \oplus y_3 \oplus x_4 \oplus y_4}), \\
 s_3 &= (\overline{x_0 \oplus y_0 \oplus x_3 \oplus y_3}) (\overline{x_1 \oplus y_1 \oplus x_2 \oplus y_2}), \\
 s_4 &= (\overline{x_0 \oplus y_0 \oplus x_4 \oplus y_4}) (\overline{x_1 \oplus y_1 \oplus x_3 \oplus y_3}).
 \end{aligned}$$

Таблица истинности логических функций s_0, s_1, s_2, s_3 и s_4 , описывающих работу сумматора унитарных кодов по модулю пять, приведена на фиг. 2.

Достоинством сумматора унитарных кодов по модулю пять является простая конструкция. Так, его сложность по числу входов логических элементов равна 50, в то время, как сложность сумматора-прототипа (при $m = 2$ и $k = 5$) составляет 75.

Источники информации:

1. Патент 2991 Республики Беларусь, МПК G 06F 7/49, 1999.
2. А.с. СССР 1403060, МПК G 06F 7/49, 1988 (прототип).

X					Y					S				
x_0	x_1	x_2	x_3	x_4	y_0	y_1	y_2	y_3	y_4	s_0	s_1	s_2	s_3	s_4
16	18	20	22	24	17	19	21	23	25	26	27	28	29	30
1	0	0	0	0	1	0	0	0	0	1	0	0	0	0
1	0	0	0	0	0	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	0	1	0	0	0	0	1	0	0
1	0	0	0	0	0	0	0	1	0	0	0	0	1	0
1	0	0	0	0	0	0	0	0	1	0	0	0	0	1
0	1	0	0	0	1	0	0	0	0	0	1	0	0	0
0	1	0	0	0	0	1	0	0	0	0	0	1	0	0
0	1	0	0	0	0	0	1	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0	1
0	1	0	0	0	0	0	0	0	1	1	0	0	0	0
0	0	1	0	0	1	0	0	0	0	0	0	1	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	1	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	1	0	1	0	0	0	0
0	0	1	0	0	0	0	0	0	1	0	1	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	1	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	1	0	0	1	0	0	0	0
0	0	0	1	0	0	0	0	1	0	0	1	0	0	0
0	0	0	1	0	0	0	0	0	1	0	0	1	0	0
0	0	0	0	1	1	0	0	0	0	0	0	0	0	1
0	0	0	0	1	0	1	0	0	0	1	0	0	0	0
0	0	0	0	1	0	0	1	0	0	0	1	0	0	0
0	0	0	0	1	0	0	0	1	0	0	0	1	0	0
0	0	0	0	1	0	0	0	0	1	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1	0	0	0	1	0

Фиг. 2

Национальный центр интеллектуальной собственности.
220034, г. Минск, ул. Козлова, 20.

□□□□□□□□ □□□□□□□□ □□□□□□□□ □□□□□□□□. □□□□□□□□.
□□□□□□□□ □□□□□□□□ □□□□□□□□ □□□□□□□□. □□□□□□□□.