

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(12)

РЕСПУБЛИКА БЕЛАРУСЬ



(19) ВУ<sup>(11)</sup> 3704

(13) С1

(51)<sup>6</sup> G 06F 7/49

ГОСУДАРСТВЕННЫЙ ПАТЕНТНЫЙ  
КОМИТЕТ РЕСПУБЛИКИ БЕЛАРУСЬ

(54)

## СУММАТОР УНИТАРНЫХ КОДОВ ПО МОДУЛЮ СЕМЬ

(21) Номер заявки: а 19980257

(22) 1998.03.17

(46) 2000.12.30

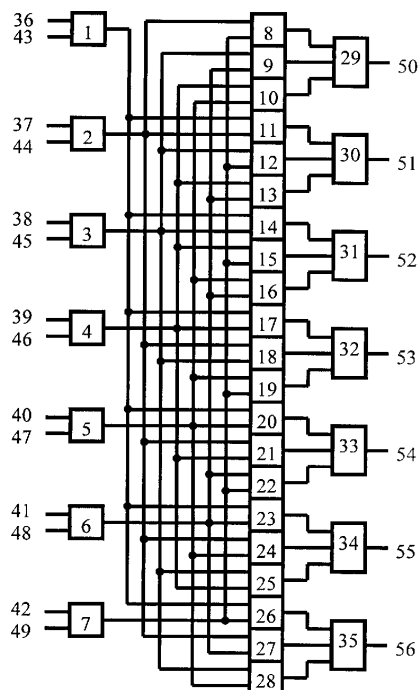
(71) Заявители: Белорусский государственный университет, Белорусский государственный экономический университет (ВУ)

(72) Авторы: Супрун В.П., Седун А.М. (ВУ)

(73) Патентообладатели: Белорусский государственный университет, Белорусский государственный экономический университет (ВУ)

(57)

Сумматор унитарных кодов по модулю семь, содержащий семь элементов ИЛИ и семь элементов И, отличающийся тем, что в него дополнительно введены двадцать один элемент РАВНОЗНАЧНОСТЬ,  $i$ -й ( $i = 1, 2$ ) вход  $j$ -го ( $j = 1, 2, \dots, 7$ ) элемента ИЛИ соединен с входом «равно  $j-1$ »  $i$ -го операнда, выход  $j$ -го элемента И соединен с выходом «равно  $j-1$ » сумматора, а  $k$ -й ( $k = 1, 2, 3$ ) вход соединен с выходом  $(3j + k - 3)$ -го элемента РАВНОЗНАЧНОСТЬ, выход первого элемента ИЛИ соединен с первыми входами четвертого, седьмого, десятого, тринадцатого, шестнадцатого и девятнадцатого элементов РАВНОЗНАЧНОСТЬ, выход второго элемента ИЛИ соединен с первыми входами первого, одиннадцатого, четырнадцатого, семнадцатого и двадцатого элементов РАВНОЗНАЧНОСТЬ и со вторым входом четвертого элемента РАВНОЗНАЧНОСТЬ, выход третьего элемента ИЛИ соединен с первыми входами второго,



ВУ 3704 С1

# ВУ 3704 С1

пятого, восемнадцатого и двадцать первого элементов РАВНОЗНАЧНОСТЬ и со вторыми входами седьмого и одиннадцатого элементов РАВНОЗНАЧНОСТЬ, выход четвертого элемента ИЛИ соединен с первыми входами третьего, шестого и восьмого элементов РАВНОЗНАЧНОСТЬ и со вторыми входами десятого, четырнадцатого и восемнадцатого элементов РАВНОЗНАЧНОСТЬ, выход пятого элемента ИЛИ соединен с первыми входами девятого и двенадцатого элементов РАВНОЗНАЧНОСТЬ и со вторыми входами третьего, тринадцатого, семнадцатого и двадцать первого элементов РАВНОЗНАЧНОСТЬ, выход шестого элемента ИЛИ соединен с первым входом пятнадцатого элемента РАВНОЗНАЧНОСТЬ и со вторыми входами второго, шестого, девятого, шестнадцатого и двадцатого элементов РАВНОЗНАЧНОСТЬ, выход седьмого элемента ИЛИ соединен со вторыми входами первого, пятого, восьмого, двенадцатого, пятнадцатого и девятнадцатого элементов РАВНОЗНАЧНОСТЬ.

(56)

1. SU 1403060 A1, 1988.

---

Изобретение относится к области вычислительной техники и микроэлектроники и может быть использовано для построения средств аппаратурного контроля и цифровых устройств, работающих в системе остаточных классов.

Наиболее близким по функциональным возможностям и конструкции техническим решением к предлагаемому является сумматор  $m$  унитарных кодов по модулю  $k$ , который при  $k = 7$  и  $m = 2$  содержит сорок девять элементов И и семь элементов ИЛИ [1]. Сложность сумматора равна 147, а быстродействие -  $2\tau$ , где  $\tau$  - задержка на логический элемент.

Недостатком известного сумматора является высокая конструктивная сложность.

Изобретение направлено на решение технической задачи понижения конструктивной сложности сумматора унитарных кодов по модулю семь.

Сумматор унитарных кодов по модулю семь, содержащий семь элементов ИЛИ и семь элементов И. В отличие от прототипа, в него дополнительно введены двадцать один элемент РАВНОЗНАЧНОСТЬ,  $i$ -й ( $i = 1, 2$ ) вход  $j$ -го ( $j = 1, 2, \dots, 7$ ) элемента ИЛИ соединен с входом «равно  $j-1$ »  $i$ -го операнда, выход  $j$ -го элемента И соединен с выходом «равно  $j-1$ » сумматора, а  $k$ -й ( $k = 1, 2, 3$ ) вход соединен с выходом  $(3j+k-3)$ -го элемента РАВНОЗНАЧНОСТЬ. Выход первого элемента ИЛИ соединен с первыми входами четвертого, седьмого, десятого, тринадцатого, шестнадцатого и девятнадцатого элементов РАВНОЗНАЧНОСТЬ. Выход второго элемента ИЛИ соединен с первыми входами первого, одиннадцатого, четырнадцатого, семнадцатого и двадцатого элементов РАВНОЗНАЧНОСТЬ и со вторым входом четвертого элемента РАВНОЗНАЧНОСТЬ. Выход третьего элемента ИЛИ соединен с первыми входами второго, пятого, восемнадцатого и двадцать первого элементов РАВНОЗНАЧНОСТЬ и со вторыми входами седьмого и одиннадцатого элементов РАВНОЗНАЧНОСТЬ. Выход четвертого элемента ИЛИ соединен с первыми входами третьего, шестого и восьмого элементов РАВНОЗНАЧНОСТЬ и со вторыми входами десятого, четырнадцатого и восемнадцатого элементов РАВНОЗНАЧНОСТЬ. Выход пятого элемента ИЛИ соединен с первыми входами девятого и двенадцатого элементов РАВНОЗНАЧНОСТЬ и со вторыми входами третьего, тринадцатого, семнадцатого и двадцать первого элементов РАВНОЗНАЧНОСТЬ. Выход шестого элемента ИЛИ соединен с первым входом пятнадцатого элемента РАВНОЗНАЧНОСТЬ и со вторыми входами второго, шестого, девятого, шестнадцатого и двадцатого элементов РАВНОЗНАЧНОСТЬ. Выход седьмого элемента ИЛИ соединен со вторыми входами первого, пятого, восьмого, двенадцатого, пятнадцатого и девятнадцатого элементов РАВНОЗНАЧНОСТЬ.

Основной технический результат изобретения заключается в понижении конструктивной сложности сумматора унитарных кодов по модулю семь. Названный технический результат достигается путем введения в логическую схему сумматора унитарных кодов по модулю семь новых логических элементов (элементов РАВНОЗНАЧНОСТЬ), а также изменением межсоединений в логической схеме сумматора.

На чертеже (фиг. 1) представлена схема сумматора унитарных кодов по модулю семь. Сумматор унитарных кодов по модулю семь содержит семь элементов ИЛИ 1, 2, ..., 7, двадцать один элемент РАВНОЗНАЧНОСТЬ 8, 9, ..., 28, семь элементов И 29, 30, ..., 35, семь входов первого операнда 36, 37, ..., 42, семь входов второго операнда 43, 44, ..., 49 и семь выходов 50, 51, ..., 56.

Сумматор унитарных кодов по модулю семь работает следующим образом. На входы 36, 37, ..., 42 сумматора поступает унитарный двоичный код первого операнда  $A = (a_0, a_1, \dots, a_6)$ , на входы 43, 44, ..., 49 - унитарный двоичный код второго операнда  $B = (b_0, b_1, \dots, b_6)$ , где  $a_0, a_1, \dots, a_6, b_0, b_1, \dots, b_6 \in \{0, 1\}$ . При этом  $a_k = 1$  ( $b_k = 1$ ) тогда и только тогда, когда  $A = k \pmod{7}$  ( $B = k \pmod{7}$ ), где  $k = 0, 1, \dots, 6$ . На выходах 50, 51, ..., 56 сумматора формируется унитарный двоичный код результата суммы  $S = (s_0, s_1, \dots, s_6)$ , где  $s_0, s_1, \dots, s_6 \in \{0, 1\}$ . При этом  $s_k = 1$  тогда и только тогда, когда  $A+B = k \pmod{7}$ .

Первообразная сумматора унитарных кодов по модулю имеет вид:

# BY 3704 C1

$$s_0 = ((a_1 \vee b_1)(a_6 \vee b_6) \vee \overline{(a_1 \vee b_1)(a_6 \vee b_6)}) \times \\ \times ((a_2 \vee b_2)(a_5 \vee b_5) \vee \overline{(a_2 \vee b_2)(a_5 \vee b_5)}) \times \\ \times ((a_3 \vee b_3)(a_4 \vee b_4) \vee \overline{(a_3 \vee b_3)(a_4 \vee b_4)}) \quad ,$$

$$s_1 = ((a_0 \vee b_0)(a_1 \vee b_1) \vee \overline{(a_0 \vee b_0)(a_1 \vee b_1)}) \times \\ \times ((a_2 \vee b_2)(a_6 \vee b_6) \vee \overline{(a_2 \vee b_2)(a_6 \vee b_6)}) \times \\ \times ((a_3 \vee b_3)(a_5 \vee b_5) \vee \overline{(a_3 \vee b_3)(a_5 \vee b_5)}) \quad ,$$

$$s_2 = ((a_0 \vee b_0)(a_2 \vee b_2) \vee \overline{(a_0 \vee b_0)(a_2 \vee b_2)}) \times \\ \times ((a_3 \vee b_3)(a_6 \vee b_6) \vee \overline{(a_3 \vee b_3)(a_6 \vee b_6)}) \times \\ \times ((a_4 \vee b_4)(a_5 \vee b_5) \vee \overline{(a_4 \vee b_4)(a_5 \vee b_5)}) \quad ,$$

$$s_3 = ((a_0 \vee b_0)(a_3 \vee b_3) \vee \overline{(a_0 \vee b_0)(a_3 \vee b_3)}) \times \\ \times ((a_1 \vee b_1)(a_2 \vee b_2) \vee \overline{(a_1 \vee b_1)(a_2 \vee b_2)}) \times \\ \times ((a_4 \vee b_4)(a_6 \vee b_6) \vee \overline{(a_4 \vee b_4)(a_6 \vee b_6)}) \quad ,$$

$$s_4 = ((a_0 \vee b_0)(a_4 \vee b_4) \vee \overline{(a_0 \vee b_0)(a_4 \vee b_4)}) \times \\ \times ((a_1 \vee b_1)(a_3 \vee b_3) \vee \overline{(a_1 \vee b_1)(a_3 \vee b_3)}) \times \\ \times ((a_5 \vee b_5)(a_6 \vee b_6) \vee \overline{(a_5 \vee b_5)(a_6 \vee b_6)}) \quad ,$$

$$s_5 = ((a_0 \vee b_0)(a_5 \vee b_5) \vee \overline{(a_0 \vee b_0)(a_5 \vee b_5)}) \times \\ \times ((a_1 \vee b_1)(a_4 \vee b_4) \vee \overline{(a_1 \vee b_1)(a_4 \vee b_4)}) \times \\ \times ((a_2 \vee b_2)(a_3 \vee b_3) \vee \overline{(a_2 \vee b_2)(a_3 \vee b_3)}) \quad ,$$

$$s_6 = ((a_0 \vee b_0)(a_6 \vee b_6) \vee \overline{(a_0 \vee b_0)(a_6 \vee b_6)}) \times \\ \times ((a_1 \vee b_1)(a_5 \vee b_5) \vee \overline{(a_1 \vee b_1)(a_5 \vee b_5)}) \times \\ \times ((a_2 \vee b_2)(a_4 \vee b_4) \vee \overline{(a_2 \vee b_2)(a_4 \vee b_4)}) \quad .$$

Работа сумматора унитарных кодов по модулю семь описывается таблицей.

Достоинством сумматора унитарных кодов по модулю семь является низкая конструктивная сложность устройства по числу входов логических элементов, равная 77 (в то время как сложность сумматора-прототипа составляет 147), а также относительно высокое быстродействие, которое вычисляется как  $3\tau$ , где  $\tau$  - задержка на логический элемент.

**Таблица, описывающая работу сумматора унитарных кодов по модулю семь**

Входы														Выходы						
Унитарный двоичный код первого операнда $A = (a_0, a_1, \dots, a_6)$							Унитарный двоичный код второго операнда $B = (b_0, b_1, \dots, b_6)$							Унитарный двоичный код результата суммы $S = (s_0, s_1, \dots, s_6)$						
$a_0$	$a_1$	$a_2$	$a_3$	$a_4$	$a_5$	$a_6$	$b_0$	$b_1$	$b_2$	$b_3$	$b_4$	$b_5$	$b_6$	$s_0$	$s_1$	$s_2$	$s_3$	$s_4$	$s_5$	$s_6$
36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56
1	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0
0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0
0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0
0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0
0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1
0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1

# BY 3704 C1

1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0
0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0
0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0
0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1
0	0	0	0	0	1	0	0	1	0	0	0	0	0	1	0	0	0	0	0
1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0
0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0
0	0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1
0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0
0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0
0	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	0	0	0	1	0	0	1	0	0	0	0	0	0
0	0	0	0	1	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0
0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	1	0	0	0	0
0	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0
0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0
0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	0	1	0	0
0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	1	0	0
0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	1	0

Государственный патентный комитет Республики Беларусь.  
220072, г. Минск, проспект Ф. Скорины, 66.