

**ОПИСАНИЕ
ИЗОБРЕТЕНИЯ
К ПАТЕНТУ**
(12)

РЕСПУБЛИКА БЕЛАРУСЬ



(19) **ВУ** (11) **3031**
(13) **С1**
(51)⁶ **G 06F 7/00**

ГОСУДАРСТВЕННЫЙ ПАТЕНТНЫЙ
КОМИТЕТ РЕСПУБЛИКИ БЕЛАРУСЬ

(54) **МНОГОФУНКЦИОНАЛЬНЫЙ ЛОГИЧЕСКИЙ МОДУЛЬ**

(21) Номер заявки: 970172
(22) 1997.03.25
(46) 1999.09.30

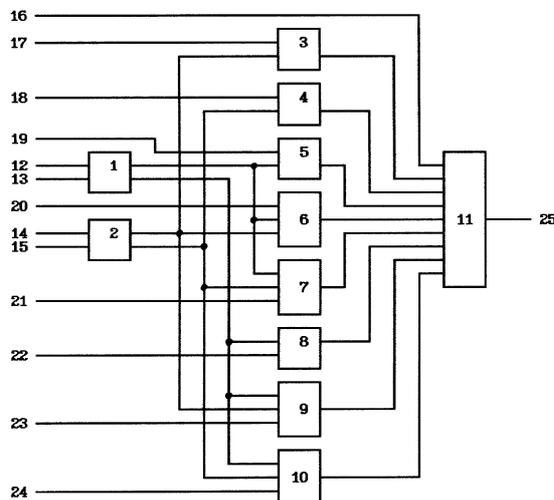
(71) Заявитель: Белорусский государственный университет (ВУ)
(72) Авторы: Супрун В.П., Личко Ю.В., Седун А.М. (ВУ)
(73) Патентообладатель: Белорусский государственный университет (ВУ)

(57)

Многофункциональный логический модуль, содержащий четыре элемента И и элемент СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, выход которого соединен с выходом модуля, первый настроечный вход которого соединен с первым входом элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, *i*-й ($i = 2, 3, 4, 5$) вход которого соединен с выходом ($i-1$)-го элемента И, первый вход которого соединен с i -м настроечным входом модуля, **отличающийся** тем, что содержит два полусумматора и с пятого по восьмой элементы И, первый вход j -го ($j = 5, 6, 7, 8$) из которых соединен с ($j+1$)-м настроечным входом модуля, а выход соединен с ($j+1$)-м входом элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, k -й ($k = 1, 2$) информационный вход модуля соединен с k -м входом первого полусумматора, выход суммы которого соединен со вторыми входами третьего, четвертого и пятого элементов И, а выход переноса соединен со вторыми входами шестого, седьмого и восьмого элементов И, ($k+2$)-й информационный вход модуля соединен с k -м входом второго полусумматора, выход суммы которого соединен со вторым входом первого элемента И и с третьими входами четвертого и седьмого элементов И, а выход переноса соединен со вторым входом второго элемента И и с третьими входами пятого и восьмого элементов И.

(56)

1. А.с. СССР 1767496, МПК G 06F 7/00, 1992.
2. А.с. СССР 1832270, МПК G 06F 7/00, 1993 (прототип).



ВУ 3031 С1

ВУ 3031 С1

Изобретение относится к микроэлектронике и вычислительной технике и предназначено для вычисления частично симметрических булевых функций четырех переменных.

Известно устройство для вычисления симметрических булевых функций четырех переменных, содержащее четыре элемента ИЛИ, мажоритарный элемент с порогом два, мажоритарный элемент с порогом три, три элемента И, элемент запрета, четыре информационных входа, пять настроечных входов и выход [1].

Недостатком известного устройства для вычисления симметрических булевых функций являются низкие функциональные возможности.

Наиболее близким по конструкции и функциональным возможностям к предлагаемому является устройство для вычисления симметрических булевых функций четырех переменных, содержащее элемент ИЛИ, мажоритарный элемент с порогом три, два элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, четыре элемента И, четыре информационных входа, пять настроечных входов и выход [2].

Недостатком известного устройства для вычисления симметрических булевых функций являются низкие функциональные возможности, так как оно не реализует частично симметрические булевы функции.

Изобретение направлено на решение технической задачи расширения функциональных возможностей многофункционального логического модуля (устройства для вычисления симметрических булевых функций четырех переменных) за счет вычисления (реализации) булевых функций, обладающих частичной симметрией четырех переменных.

Многофункциональный логический модуль содержит четыре элемента И и элемент СЛОЖЕНИЕ ПО МОДУЛЮ ДВА. Выход элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА соединен с выходом модуля. Первый настроечный вход модуля соединен с первым входом элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, i -й ($i=2,3,4,5$) вход которого соединен с выходом $(i-1)$ -го элемента И. Первый вход элемента И соединен с i -м настроечным входом модуля. В отличие от прототипа, устройство содержит два полусумматора и с пятого по восьмой элементы И. Первый вход j -го ($j=5,6,7,8$) элемента И соединен с $(i+1)$ -м настроечным входом модуля, а выход соединен с $(i+1)$ -м входом элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА. Далее, k -й ($k=1,2$) информационный вход модуля соединен с k -м входом первого полусумматора, выход суммы которого соединен со вторыми входами третьего, четвертого и пятого элементов И, а выход переноса соединен со вторыми входами шестого, седьмого и восьмого элементов И. $(k+2)$ -й информационный вход модуля соединен с k -м входом второго полусумматора, выход суммы которого соединен со вторым входом первого элемента И и с третьими входами четвертого и седьмого элементов И, а выход переноса соединен со вторым входом второго элемента И и с третьими входами пятого и восьмого элементов И.

Основной технической результат изобретения заключается в расширении функциональных возможностей многофункционального логического модуля за счет вычисления (реализации) булевых функций, обладающих частичной симметрией четырех переменных. Названный технический результат достигается путем увеличения числа настроечных входов, использованием новых логических элементов (элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА и полусумматоров) и изменением межсоединений в логической схеме устройства.

На фигуре представлена схема многофункционального логического модуля.

Многофункциональный логический модуль содержит два полусумматора 1 и 2, восемь элементов И 3,4,...,10, элемент СЛОЖЕНИЕ ПО МОДУЛЮ ДВА 11, четыре информационных входа 12,13,...,15, девять настроечных входов 16,17,...,24 и выход 25.

Многофункциональный логический модуль работает следующим образом. На информационные входы 12,13,...,15 поступают двоичные переменные x_1, x_2, x_3, x_4 ; на настроечные входы 16,17,...,24 - сигналы настройки u_0, u_1, \dots, u_8 , значения которых принадлежат множеству $\{0,1\}$. На выходе 25 модуля реализуется частично симметрическая булева функция $F=F(X_1, X_2)$, где $X_1=\{x_1, x_2\}$ и $X_2=\{x_3, x_4\}$, определяемая вектором настройки $U=(u_0, u_1, \dots, u_8)$.

Первообразная многофункционального логического модуля имеет следующий вид:

$$F(x_1, x_2, x_3, x_4, u_0, u_1, \dots, u_8) = u_0 \oplus u_1(x_3 \oplus x_4) \oplus u_2 x_3 x_4 \oplus \\ \oplus u_3(x_1 \oplus x_2) \oplus u_4(x_1 \oplus x_2)(x_3 \oplus x_4) \oplus u_5(x_1 \oplus x_2)x_3 x_4 \oplus u_6 x_1 x_2 \oplus \\ \oplus u_7 x_1 x_2(x_3 \oplus x_4) \oplus u_8 x_1 x_2 x_3 x_4.$$

Поясним алгоритм настройки многофункционального логического модуля.

Частично симметрическая булева функция $F=F(X_1, X_2)$, где $X_1=\{x_1, x_2\}$ и $X_2=\{x_3, x_4\}$, называется иначе бисимметрической. Булева функция $F=F(X_1, X_2)$ представима в виде:

$$F(X_1, X_2) = \omega_0 F_2^0(X_1) F_2^0(X_2) \vee \omega_1 F_2^0(X_1) F_2^1(X_2) \vee \omega_2 F_2^0(X_1) F_2^2(X_2) \vee \\ \vee \omega_3 F_2^1(X_1) F_2^0(X_2) \vee \omega_4 F_2^1(X_1) F_2^1(X_2) \vee \omega_5 F_2^1(X_1) F_2^2(X_2) \vee \\ \vee \omega_6 F_2^2(X_1) F_2^0(X_2) \vee \omega_7 F_2^2(X_1) F_2^1(X_2) \vee \omega_8 F_2^2(X_1) F_2^2(X_2), \quad (1)$$

где $F_2^j(X_i)$ - элементарная (фундаментальная) симметрическая булева функция, зависящая от переменных множества X_i , рабочее число которой равно j ($i=1,2; 0 \leq j \leq 2$); $\omega_k \in \{0,1\}$, $k=0,1,\dots,8$.

Булев вектор $\omega(F)=(\omega_0, \omega_1, \dots, \omega_8)$ называется двоичным кодом бисимметрической булевой функции $F=F(X_1, X_2)$.

