

**ОПИСАНИЕ
ИЗОБРЕТЕНИЯ
К ПАТЕНТУ**
(12)

РЕСПУБЛИКА БЕЛАРУСЬ



(19) **ВУ** (11) **2991**
(13) **С1**
(51)⁶ **G 06F 7/49**

ГОСУДАРСТВЕННЫЙ ПАТЕНТНЫЙ
КОМИТЕТ РЕСПУБЛИКИ БЕЛАРУСЬ

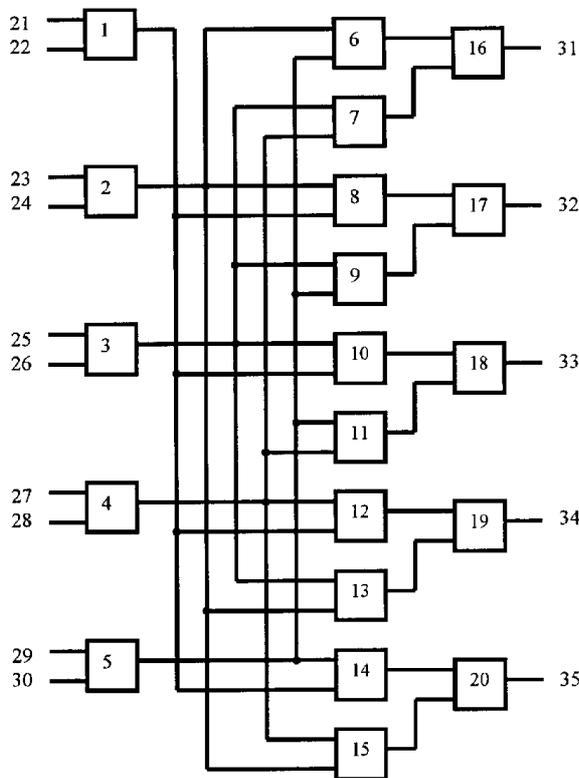
(54) **СУММАТОР УНИТАРНЫХ КОДОВ ПО МОДУЛЮ ПЯТЬ**

(21) Номер заявки: 970535
(22) 1997.10.13
(46) 1999.09.30

(71) Заявитель: Белорусский государственный университет (ВУ)
(72) Авторы: Супрун В.П., Седун А.М. (ВУ)
(73) Патентообладатель: Белорусский государственный университет (ВУ)

(57)

Сумматор унитарных кодов по модулю пять, содержащий пять элементов ИЛИ и пять элементов И, отличающийся тем, что в него дополнительно введены десять элементов равнозначности, выход i -го ($i=1,2$) из которых соединен с i -м входом первого элемента И, выход $(i+2)$ -го элемента равнозначности соединен с i -м входом второго элемента И, выход $(i+4)$ -го элемента равнозначности соединен с i -м входом третьего элемента И, выход $(i+6)$ -го элемента равнозначности соединен с i -м входом четвертого элемента И, выход $(i+8)$ -го элемента равнозначности соединен с i -м входом пятого элемента И, i -й вход j -го ($j=1,2,3,4,5$) элемента ИЛИ соединен с входом «равно $j-1$ » i -го операнда, выход первого элемента ИЛИ соединен с первыми



Фиг. 1

ВУ 2991 С1

ВУ 2991 С1

входами третьего, пятого, седьмого и девятого элементов равнозначности, выход второго элемента ИЛИ соединен с первыми входами первого, восьмого и десятого элементов равнозначности и со вторым входом третьего элемента равнозначности, выход третьего элемента ИЛИ соединен с первыми входами второго и четвертого элементов равнозначности и со вторыми входами пятого и восьмого элементов равнозначности, выход четвертого элемента ИЛИ соединен с первым входом шестого элемента равнозначности и со вторыми входами второго, седьмого и десятого элементов равнозначности, выход пятого элемента ИЛИ соединен со вторыми входами первого, четвертого, шестого и девятого элементов равнозначности, выход j -го элемента И соединен с выходом «равно $j-1$ » сумматора.

(56)

1. Патент РФ 2018931, МПК G 06F 7/49, 1994.

2. А.с. СССР 1403060, МПК G 06F 7/49, 1988 (прототип).

Изобретение относится к области вычислительной техники и микроэлектроники и может быть использовано для построения средств аппаратного контроля и цифровых устройств, работающих в системе остаточных классов.

Известен сумматор по модулю пять двух приведенных операндов, который содержит восемь элементов И, мажоритарный элемент с порогом три, два элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ, шесть входов и три выхода [1].

Недостатком сумматора является невозможность выполнения операции сложения унитарных кодов по модулю пять.

Наиболее близким по конструкции и функциональным возможностям техническим решением к предлагаемому является сумматор m унитарных кодов по модулю k , который при $m = 2$ и $k = 5$ содержит двадцать пять элементов И и пять элементов ИЛИ [2]. Конструктивная сложность сумматора по числу входов логических элементов равна 75.

Недостатком известного сумматора является высокая конструктивная сложность.

Изобретение направлено на решение технической задачи понижения конструктивной сложности сумматора унитарных кодов по модулю пять.

Сумматор унитарных кодов по модулю пять содержит пять элементов ИЛИ и пять элементов И. В отличие от устройства-прототипа в него дополнительно введены десять элементов равнозначности. Выход i -го ($i = 1, 2$) элемента равнозначности соединен с i -м входом первого элемента И. Выход $(i + 2)$ -го элемента равнозначности соединен с i -м входом второго элемента И. Выход $(i + 4)$ -го элемента равнозначности соединен с i -м входом третьего элемента И. Выход $(i + 6)$ -го элемента равнозначности соединен с i -м входом четвертого элемента И. Выход $(i + 8)$ -го элемента равнозначности соединен с i -м входом пятого элемента И. Далее, i -й вход j -го ($j = 1, 2, \dots, 5$) элемента ИЛИ соединен с входом «равно $j - 1$ » i -го операнда. Выход первого элемента ИЛИ соединен с первыми входами третьего, пятого, седьмого и девятого элементов равнозначности. Выход второго элемента ИЛИ соединен с первыми входами первого, восьмого и десятого элементов равнозначности и со вторым входом третьего элемента равнозначности. Выход третьего элемента ИЛИ соединен с первыми входами второго и четвертого элементов равнозначности и со вторыми входами пятого и восьмого элементов равнозначности. Выход четвертого элемента ИЛИ соединен с первым входом шестого элемента равнозначности и со вторыми входами второго, седьмого и десятого элементов равнозначности. Выход пятого элемента ИЛИ соединен со вторыми входами первого, четвертого, шестого и девятого элементов равнозначности. Выход j -го элемента И соединен с выходом «равно $j - 1$ » сумматора.

Основной технический результат изобретения заключается в понижении конструктивной сложности сумматора унитарных кодов по модулю пять. Названный технический результат достигается путем введения в логическую схему сумматора новых логических элементов (элементов равнозначности), а также изменений межсоединений логических элементов в схеме сумматора.

На чертеже (фиг. 1) представлена схема сумматора унитарных кодов по модулю пять, а его работа описывается таблицей (фиг. 2).

Сумматор унитарных кодов по модулю пять содержит пять элементов ИЛИ 1, 2, ..., 5, десять элементов равнозначности 6, 7, ..., 15, пять элементов И 16, 17, ..., 20, десять входов 21, 22, ..., 30 и пять выходов 31, 32, ..., 35.

Сумматор работает следующим образом. На входы 21, 23, 25, 27 и 29 сумматора поступает унитарный двоичный код первого операнда $A = (a_0, a_1, \dots, a_4)$, на входы 22, 24, 26, 28 и 30 - унитарный двоичный код второго операнда $B = (b_0, b_1, \dots, b_4)$, где $a_0, a_1, \dots, a_4, b_0, b_1, \dots, b_4 \in \{0, 1\}$. При этом $a_k = 1$ ($b_k = 1$) тогда и только тогда, когда $A = k \pmod{5}$ ($B = k \pmod{5}$), где $k = 0, 1, \dots, 4$. На выходах 31, 32, 33, 34 и 35 сумматора формируется унитарный двоичный код результата суммы $S = (s_0, s_1, \dots, s_4)$, где $s_0, s_1, \dots, s_4 \in \{0, 1\}$. При этом $s_k = 1$ тогда и только тогда, когда $A + B = k \pmod{5}$.

BY 2991 C1

Логическая схема сумматора унитарных кодов по модулю пять (фиг. 1) синтезирована по следующим аналитическим представлениям функций s_0, s_1, s_2, s_3 и s_4 :

$$s_0 = ((x_1 \vee y_1) \sim (x_4 \vee y_4))((x_2 \vee y_2) \sim (x_3 \vee y_3)),$$

$$s_1 = ((x_0 \vee y_0) \sim (x_1 \vee y_1))((x_2 \vee y_2) \sim (x_4 \vee y_4)),$$

$$s_2 = ((x_0 \vee y_0) \sim (x_2 \vee y_2))((x_3 \vee y_3) \sim (x_4 \vee y_4)),$$

$$s_3 = ((x_0 \vee y_0) \sim (x_3 \vee y_3))((x_1 \vee y_1) \sim (x_2 \vee y_2)),$$

$$s_4 = ((x_0 \vee y_0) \sim (x_4 \vee y_4))((x_1 \vee y_1) \sim (x_3 \vee y_3)),$$

где « \sim » - обозначение логической операции «равнозначность» (или «эквивалентность»).

Таблица истинности логических функций s_0, s_1, s_2, s_3 и s_4 , описывающих работу сумматора унитарных кодов по модулю пять, приведена на фиг. 2.

Достоинством сумматора унитарных кодов по модулю пять является простая конструкция. Так, его сложность по числу входов логических элементов равна 40, в то время как сложность сумматора-прототипа (при $m = 2$ и $k = 5$) составляет 75.

Сумматор унитарных кодов по модулю пять

X					Y					S				
x_0	x_1	x_2	x_3	x_4	y_0	y_1	y_2	y_3	y_4	s_0	s_1	s_2	s_3	s_4
21	23	25	27	29	22	24	26	28	30	31	32	33	34	35
1	0	0	0	0	1	0	0	0	0	1	0	0	0	0
1	0	0	0	0	0	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	0	1	0	0	0	0	1	0	0
1	0	0	0	0	0	0	0	1	0	0	0	0	1	0
1	0	0	0	0	0	0	0	0	1	0	0	0	0	1
0	1	0	0	0	1	0	0	0	0	0	1	0	0	0
0	1	0	0	0	0	1	0	0	0	0	0	1	0	0
0	1	0	0	0	0	0	1	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0	1
0	1	0	0	0	0	0	0	0	1	1	0	0	0	0
0	0	1	0	0	1	0	0	0	0	0	0	1	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	1	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	1	0	0	0	0	0	0
0	0	1	0	0	0	0	0	0	1	1	1	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	1	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	1	0	0	1	0	0	0	0
0	0	0	1	0	0	0	0	1	0	0	1	0	0	0
0	0	0	1	0	0	0	0	0	1	0	0	1	0	0
0	0	0	0	1	1	0	0	0	0	0	0	0	0	1
0	0	0	0	1	0	1	0	0	0	1	0	0	0	0
0	0	0	0	1	0	0	1	0	0	0	1	0	0	0
0	0	0	0	1	0	0	0	1	0	0	0	1	0	0
0	0	0	0	1	0	0	0	0	1	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1	0	0	0	1	0

Фиг. 2

Государственный патентный комитет Республики Беларусь.
220072, г. Минск, проспект Ф. Скорины, 66.

□□□□□□□□ □□□□□□□□ □□□□□□□□ □□□□□□□□. □□□□□□□□.
□□□□□□□□ □□□□□□□□□□ □□□□□□□□□□ □□□□□□□□. □□□□□□□□.