

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(12)

РЕСПУБЛИКА БЕЛАРУСЬ



НАЦИОНАЛЬНЫЙ ЦЕНТР
ИНТЕЛЛЕКТУАЛЬНОЙ
СОБСТВЕННОСТИ

(19) ВУ (11) 16240

(13) С1

(46) 2012.08.30

(51) МПК

G 06F 7/38 (2006.01)

(54) ВЫЧИСЛИТЕЛЬНОЕ УСТРОЙСТВО УНИТАРНЫХ КОДОВ ПО МОДУЛЮ ТРИ

(21) Номер заявки: а 20101008

(22) 2010.06.30

(43) 2010.12.30

(71) Заявитель: Белорусский государственный университет (ВУ)

(72) Авторы: Городецкий Данила Андреевич; Седун Андрей Максимович; Супрун Валерий Павлович (ВУ)

(73) Патентообладатель: Белорусский государственный университет (ВУ)

(56) ВУ 10350 С1, 2008.

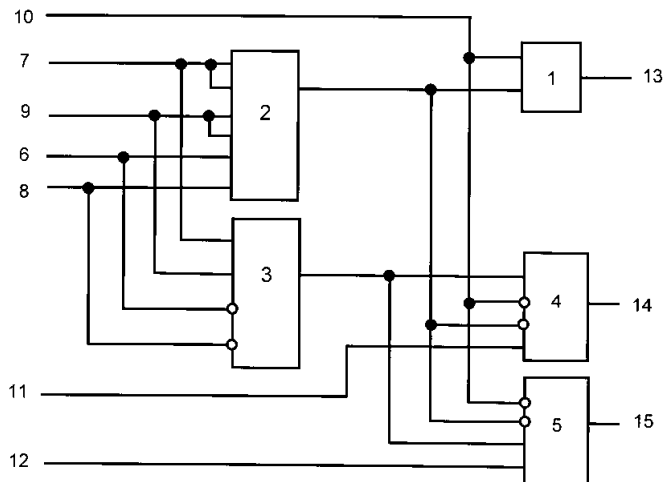
ВУ а20090769, 2010.

ВУ а20090648, 2009.

ВУ 11462 С1, 2008.

(57)

Вычислительное устройство унитарных кодов по модулю три, содержащее элемент ИЛИ, выход которого соединен с выходом устройства "равно нулю", отличающееся тем, что содержит первый и второй элементы ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три и первый и второй элементы ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, первый вход первого из которых соединен со входом устройства "равно нулю" первого операнда и с первым инверсным входом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, второй инверсный вход которого соединен со входом устройства "равно нулю" второго операнда и со вторым входом первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, третий и четвертый входы которого соединены со входом устройства "равно двум" первого операнда и с первым входом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, второй вход которого соединен со входом устройства "равно двум" второго операнда и с пятым и шестым



ВУ 16240 С1 2012.08.30

входами первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, выход которого соединен с первым входом элемента ИЛИ и с первыми инверсными входами первого и второго элементов ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три, вторые инверсные входы которых соединены со вторым входом элемента ИЛИ и со входом устройства "равно нулю" третьего операнда, вход "равно единице" которого соединен с первым входом первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три, второй вход которого соединен с выходом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два и с первым входом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три, второй вход которого соединен со входом устройства "равно двум" третьего операнда, а выход соединен с выходом устройства "равно двум", выход "равно единице" которого соединен с выходом первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три.

Изобретение относится к области вычислительной техники и микроэлектроники и может быть использовано для построения средств аппаратного контроля и цифровых устройств, работающих в системе остаточных классов.

Известен сумматор унитарных кодов по модулю три, содержащий три элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, пять входов и три выхода [1]. Сумматор предназначен для реализации операции сложения $A + B = S \pmod{3}$. Сумматор, как и заявляемое устройство, содержит два элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два.

Недостатком известного сумматора являются низкие функциональные возможности, поскольку сумматор не реализует операцию $(A + B) \cdot C = S \pmod{3}$.

Наиболее близким по функциональным возможностям техническим решением к заявляемому является вычислительное устройство унитарных кодов по модулю три, которое содержит два мажоритарных элемента с порогом два, пять элементов ИЛИ, три элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, элемент ИЛИ-НЕ, элемент ЗАПРЕТ, восемь входов и три выхода [2]. Устройство предназначено для реализации в унитарных кодах операции $(A + B) \cdot (C + D) = S \pmod{3}$.

Устройство-прототип, как и предлагаемое устройство, содержит элемент ИЛИ, выход которого соединен с выходом устройства "равно нулю" результата выполнения операции.

Конструктивная сложность устройства-прототипа равна 3^2 , а его быстродействие, определяемое глубиной схемы, составляет 3τ , где τ - задержка на логический элемент. Число внешних выводов равно 12.

К недостаткам устройства-прототипа относятся высокая конструктивная сложность и низкое быстродействие.

Изобретение направлено на решение следующих технических задач: понижение конструктивной сложности вычислительного устройства унитарных кодов по модулю три и повышение его быстродействия.

Вычислительное устройство унитарных кодов по модулю три содержит элемент ИЛИ, выход которого соединен с выходом устройства "равно нулю".

В отличие от прототипа устройство содержит первый и второй элементы ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три и первый и второй элементы ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, первый вход первого из которых соединен с входом устройства "равно нулю" первого операнда и с первым инверсным входом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два.

Второй инверсный вход второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два соединен с входом устройства "равно нулю" второго операнда и со вторым входом первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два, третий и четвертый входы которого соединены с входом устройства "равно двум" первого операнда и с первым входом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два.

ВУ 16240 С1 2012.08.30

Второй вход второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два соединен с входом устройства "равно двум" второго операнда и с пятым и шестым входами первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два.

Выход первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два соединен с первым входом элемента ИЛИ и с первыми инверсными входами первого и второго элементов ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три, вторые инверсные входы которых соединены со вторым входом элемента ИЛИ и с входом устройства "равно нулю" третьего операнда.

Вход устройства "равно единице" третьего операнда соединен с первым входом первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три, второй вход которого соединен с выходом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два и с первым входом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три.

Второй вход второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три соединен с входом устройства "равно двум" третьего операнда, а выход соединен с выходом устройства "равно двум", выход "равно единице" которого соединен с выходом первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три.

Основным техническим результатом изобретения являются понижение конструктивной сложности и повышение быстродействия вычислительного устройства унитарных кодов по модулю три.

Названный технический эффект достигается путем использования в логической схеме устройства новых логических элементов (элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, выполненных с порогами два и три) и изменением соединений между элементами логической схемы.

На фигуре представлена схема вычислительного устройства унитарных кодов по модулю три.

Вычислительное устройство унитарных кодов по модулю три содержит элемент ИЛИ 1, два элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два 2 и 3, два элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом три 4 и 5, семь входов 6...12 и три выхода 13, 14 и 15.

Входные операнды A , B , C задаются унитарными двоичными кодами $A = (a_0, a_1, a_2)$, $B = (b_0, b_1, b_2)$, $C = (c_0, c_1, c_2)$, где $a_0, a_1, a_2, b_0, b_1, b_2, c_0, c_1, c_2 \in \{0,1\}$. При этом $a_k = 1$, $b_k = 1$ и $c_k = 1$ тогда и только тогда, когда $A = k \pmod{3}$, $B = k \pmod{3}$ и $C = k \pmod{3}$, где $k = 0, 1, 2$.

Выходной операнд (результат сложения) S задается унитарным двоичным кодом $S = (s_0, s_1, s_2)$, где $s_0, s_1, s_2 \in \{0, 1\}$. Здесь $s_k = 1$ тогда и только тогда, когда $(A + B) \cdot C = k \pmod{3}$, где $k = 0, 1, 2$.

Вычислительное устройство унитарных кодов по модулю три, предназначенное для выполнения операции $(A + B) \cdot C = S \pmod{3}$, работает следующим образом.

На входы устройства 6 и 7 поступают разряды "равно нулю" и "равно двум" унитарного двоичного кода первого операнда $A = (a_0, a_1, a_2)$; на входы 8 и 9 - разряды "равно нулю" и "равно двум" унитарного двоичного кода второго операнда $B = (b_0, b_1, b_2)$; на входы 10, 11 и 12 - разряды "равно нулю", "равно единице" и "равно двум" унитарного двоичного кода третьего операнда $C = (c_0, c_1, c_2)$.

На выходах устройства 13, 14 и 15 формируются разряды "равно нулю", "равно единице" и "равно двум" унитарного двоичного кода $S = (s_0, s_1, s_2)$ результата выполнения операции $(A + B) \cdot C = S \pmod{3}$.

Логические функции S_0 , S_1 , S_2 , реализуемые на выходах заявляемого устройства, представлены таблицей истинности (таблица).

BY 16240 C1 2012.08.30

Входы									Выходы		
Унитарный двоичный код первого операнда A = (a ₀ , a ₁ , a ₂)			Унитарный двоичный код второго операнда B = (b ₀ , b ₁ , b ₂)			Унитарный двоичный код третьего операнда C = (c ₀ , c ₁ , c ₂)			Унитарный двоичный код результата сложения S = (s ₀ , s ₁ , s ₂)		
a ₀	a ₁	a ₂	b ₀	b ₁	b ₂	c ₀	c ₁	c ₂	S ₀	S ₁	S ₂
6	-	7	8	-	9	10	11	12	13	14	15
1	0	0	1	0	0	1	0	0	1	0	0
1	0	0	1	0	0	0	1	0	1	0	0
1	0	0	1	0	0	0	0	1	1	0	0
1	0	0	0	1	0	1	0	0	1	0	0
1	0	0	0	1	0	0	1	0	0	1	0
1	0	0	0	1	0	0	0	1	0	0	1
1	0	0	0	0	1	1	0	0	1	0	0
1	0	0	0	0	1	0	1	0	0	0	1
1	0	0	0	0	1	0	0	1	0	1	0
0	1	0	1	0	0	1	0	0	1	0	0
0	1	0	1	0	0	0	1	0	0	1	0
0	1	0	1	0	0	0	0	1	0	0	1
0	1	0	0	1	0	1	0	0	1	0	0
0	1	0	0	1	0	0	1	0	0	0	1
0	1	0	0	1	0	0	0	1	0	1	0
0	1	0	0	0	1	1	0	0	1	0	0
0	1	0	0	0	1	0	1	0	1	0	0
0	1	0	0	0	1	0	0	1	1	0	0
0	0	1	1	0	0	1	0	0	1	0	0
0	0	1	1	0	0	0	1	0	0	0	1
0	0	1	1	0	0	0	0	1	0	1	0
0	0	1	0	1	0	1	0	0	1	0	0
0	0	1	0	1	0	0	1	0	1	0	0
0	0	1	0	1	0	0	0	1	1	0	0
0	0	1	0	0	1	1	0	0	1	0	0
0	0	1	0	0	1	0	1	0	0	1	0
0	0	1	0	0	1	0	0	1	0	0	1

Логическая схема вычислительного устройства унитарных кодов по модулю три синтезирована на основе использования аналитических представлений логических функций S₀, S₁, S₂, зависящих от семи переменных a₀, a₂, b₀, b₂, c₀, c₁, c₂, следующего вида:

$$S_0 = c_0 \vee f_1,$$

$$S_1 = \begin{cases} 1, & \text{если } \bar{c}_0 + c_1 + \bar{f}_1 + f_2 = 3; \\ 0 & \text{– в противном случае,} \end{cases}, \quad S_2 = \begin{cases} 1, & \text{если } \bar{c}_0 + c_2 + \bar{f}_1 + f_2 = 3; \\ 0 & \text{– в противном случае,} \end{cases}$$

где

$$f_1 = \begin{cases} 1, & \text{если } a_0 + 2a_2 + b_0 + 2b_2 = 2; \\ 0 & \text{– в противном случае,} \end{cases}, \quad f_2 = \begin{cases} 1, & \text{если } \bar{a}_0 + a_2 + \bar{b}_0 + b_2 = 2; \\ 0 & \text{– в противном случае.} \end{cases}$$

Основными достоинствами вычислительного устройства унитарных кодов по модулю три являются низкая конструктивная сложность (по числу входов логических элементов), равная 20, и высокое быстродействие, которое составляет 2τ. Устройство-прототип при условии, что D = 0 (т.е. d₀ = 1 и d₀ = d₂ = 0), будет вычислять операцию (A + B) · C = S (mod 3).

ВУ 16240 С1 2012.08.30

При этом его конструктивная сложность будет равна 25, а его быстродействие - 3т, т.е. останется прежним.

Источники информации:

1. Патент РБ 13247, МПК G 06 F 7/38, 2010.
2. Патент РБ 10350, МПК G 06 F 7/38 (прототип).

Национальный центр интеллектуальной собственности.

220034, г. Минск, ул. Козлова, 20. □□□□□□ □□□□□□□□□□. □□□□□□□□□□.

□□□□□□□□□□ □□□□□□□□□□□□ □□□□□□□□□□ □□□□□□□□□□. □□□□□□□□□□.